



# EMV-DESIGNTIPPS

Christian Koch  
Field Application Engineer

**WÜRTH ELEKTRONIK** MORE THAN YOU EXPECT

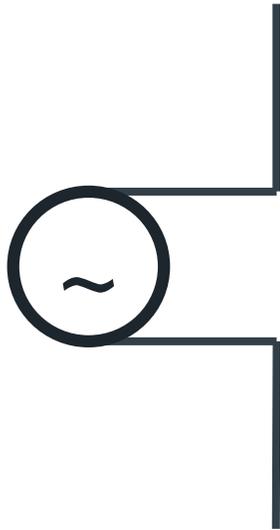
# Agenda

- Kopplungsarten
- Masseflächen / Massebezug
- Abblockkondensatoren
- Speicherinduktivitäten

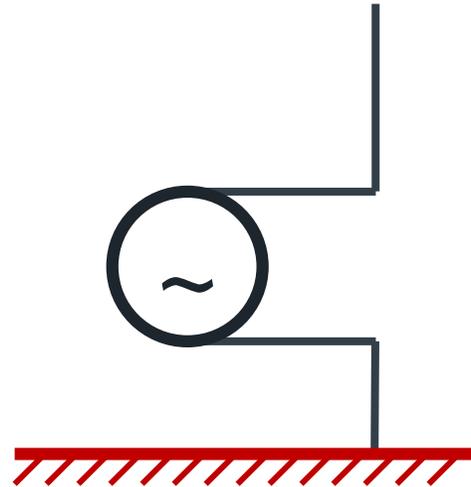




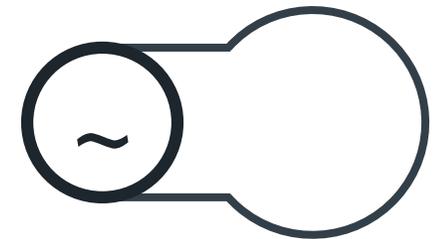
# Alles ist eine Antenne



elektrische Dipolantenne



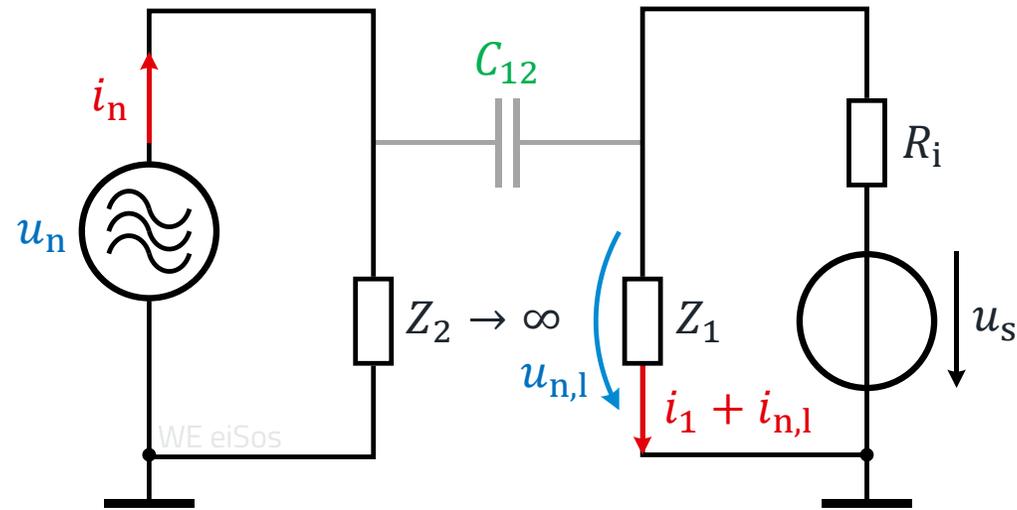
elektrische Monopolantenne



magnetische Rahmenantenne

# KOPPLUNGSARTEN

# Kapazitive Kopplung



- Störspannung an der Last:

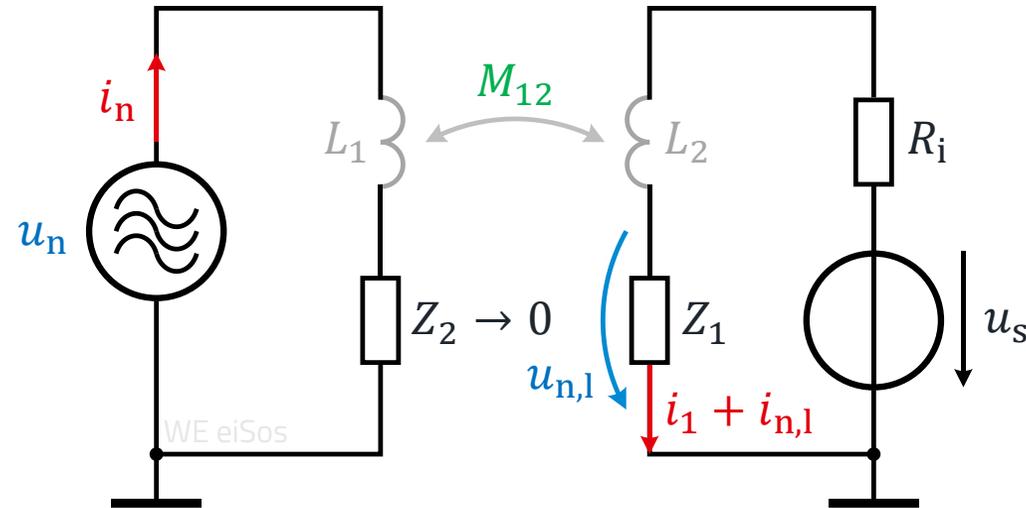
$$u_{n,l} = i_n \cdot \frac{R_i \cdot Z_{\text{load},1}}{R_i + Z_{\text{load},1}} = C_{12} \cdot \frac{du_n}{dt} \cdot \frac{R_i \cdot Z_1}{R_i + Z_1}$$

# Kapazitive Kopplung

- Möglichkeiten zur Verringerung der Kopplung:
  - Verringerung der Änderungsgeschwindigkeit der Störspannung durch „langsameres“ Schalten oder durch Tiefpassfilter
  - Verringerung der Koppelkapazität durch:
    - Verkürzen der Länge der verkoppelnden Leitungen
    - Vergrößern des Abstandes zwischen Leitern verschiedener Stromkreise
    - Verkürzung/Vermeidung von paralleler Leitungsführung
    - Elektrische Schirmung (Kabel, Leiterplatte, Gehäuse)



# Induktive Kopplung



- Störspannung an der Last:

$$u_{n,l} = u(i_n) \cdot \frac{Z_1}{R_i + Z_1} = M_{12} \cdot \frac{di_n}{dt} \cdot \frac{Z_1}{R_i + Z_1}$$

# Induktive Kopplung

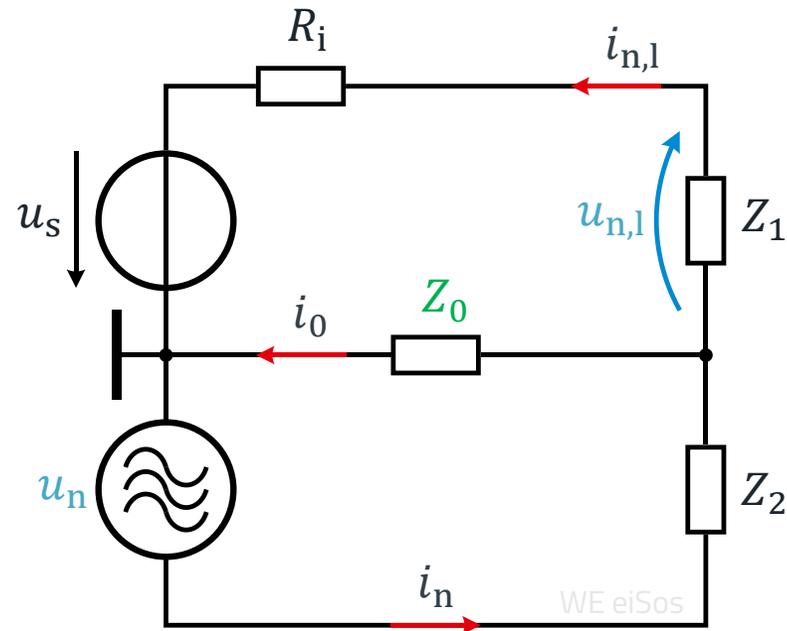
- Möglichkeiten zur Verringerung der Kopplung:
  - Verringerung der Änderungsgeschwindigkeit des Störstromes durch „langsameres“ Schalten oder durch Tiefpassfilter
  - Verringerung der Koppelinduktivität durch:
    - Verkleinern der Schleifenfläche der verkoppelnden Stromkreise
    - Vergrößern des Abstandes zwischen Leitern verschiedener Stromkreise
    - Vermeidung von Parallelführung sensibler Stromkreise
    - Verdrillung von Hin- und Rückleiter (Kabel)
    - Magnetische Schirmung mit Ferritmaterialien (weichmagnetisch, großes  $\mu_r$ )



# Impedanzkopplung

- Koppelimpedanz:  $\underline{Z}_0 = R_0 + j\omega L_0$
- Störspannung an der Last:

$$u_{n,l} = \frac{u_n}{Z_2 + (R_i + Z_1) \parallel Z_0} \cdot \frac{Z_1 \cdot Z_0}{R_i + Z_1 + Z_0}$$



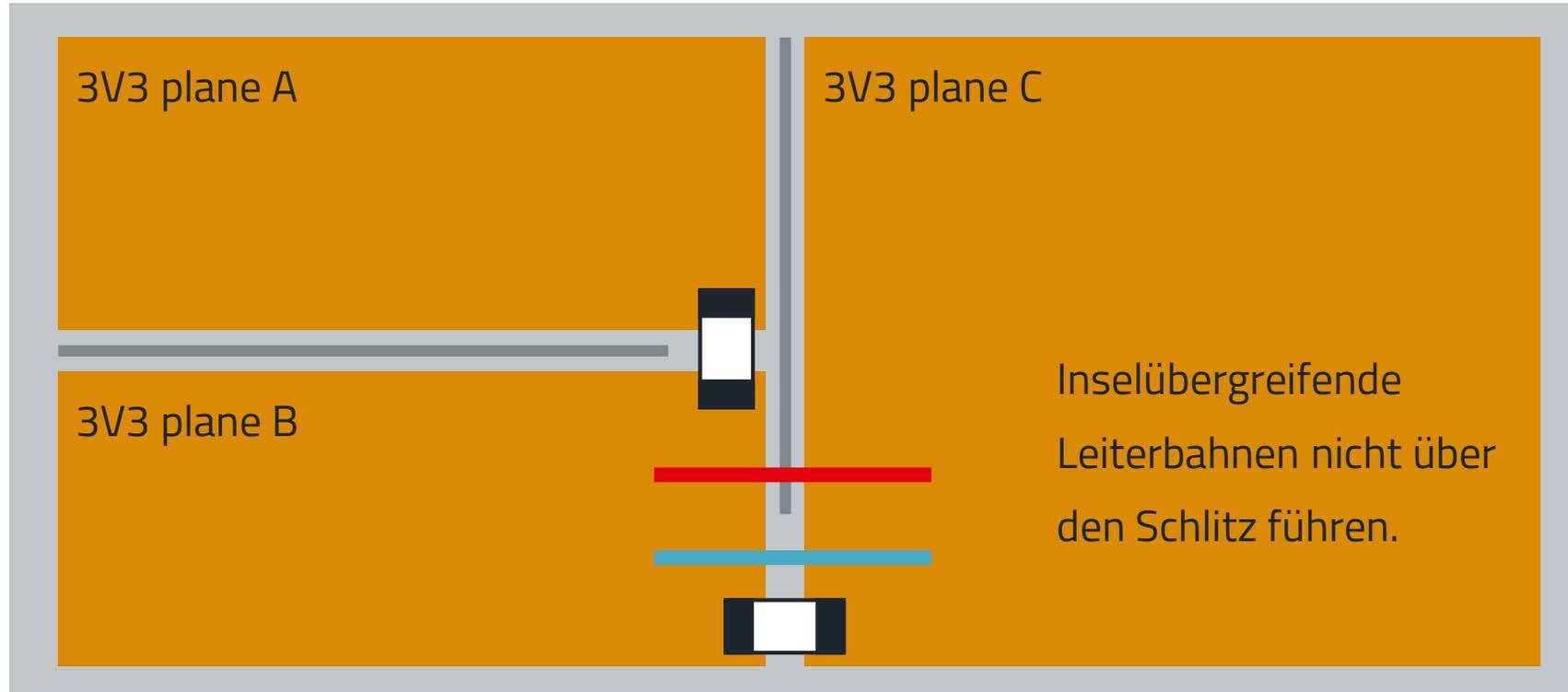
# Impedanzkopplung

- Verringerung der Koppelimpedanz durch:
  - Flächige niederimpedante Struktur der gemeinsam genutzten Masse zur **Minimierung der Induktivität**
    - Breite:Länge in Stromrichtung >3:1
  - Auftrennung der Masse in Teilbereiche je nach Aufgabe:
    - Leistungsschaltkreise → PGND
    - Gegentaktfiler, Regelschleifen → AGND
    - Logikschaltkreise → DGND
- Verbindung der Teilmassen an einem **ruhigen Punkt** der Leiterplatte zwecks Potentialausgleich → **Sternpunkt**

# MASSEFLÄCHEN

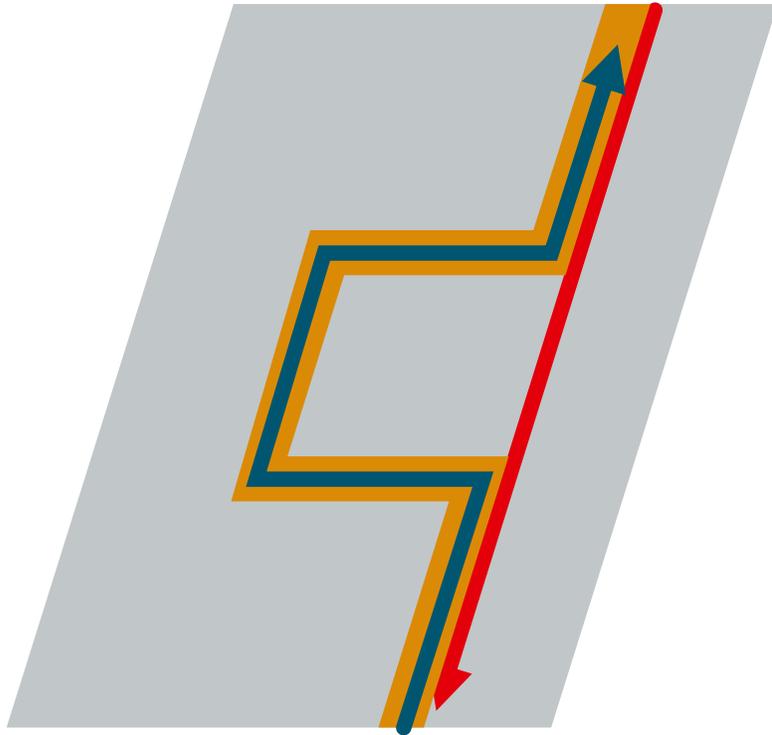
# Ausführung von Masseflächen

Schlitz nicht bis an den Rand ziehen.

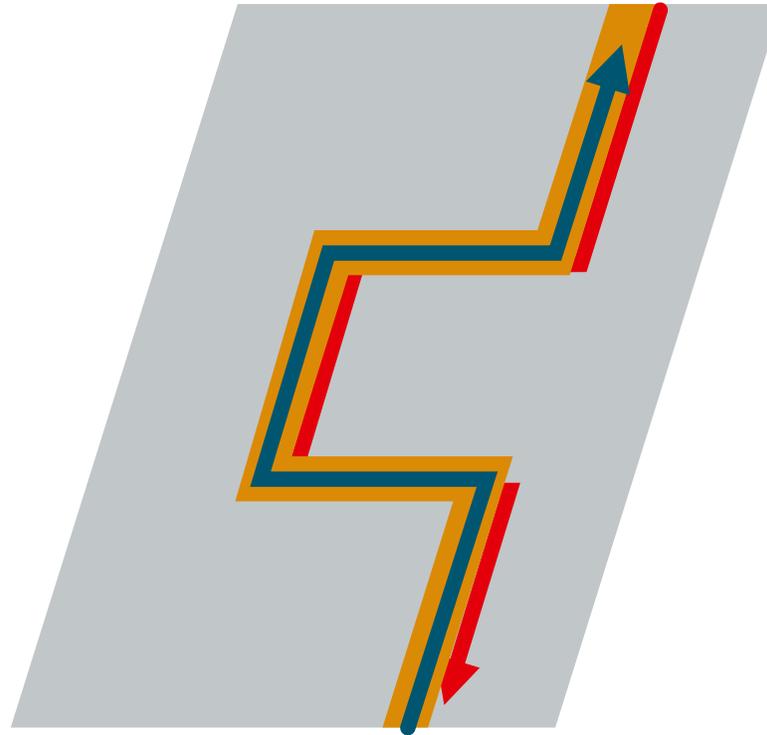


Schlitz der GND-Lage um Teilmassen zu bilden (AGND, DGND, PGND)

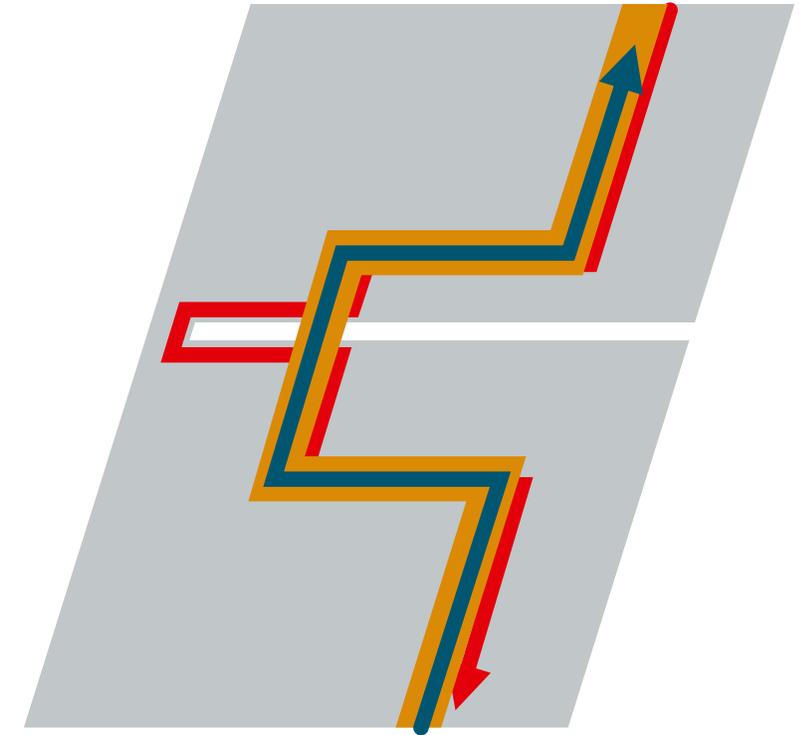
# Rückstrom sucht die geringste Impedanz



DC Rückweg



AC Rückweg

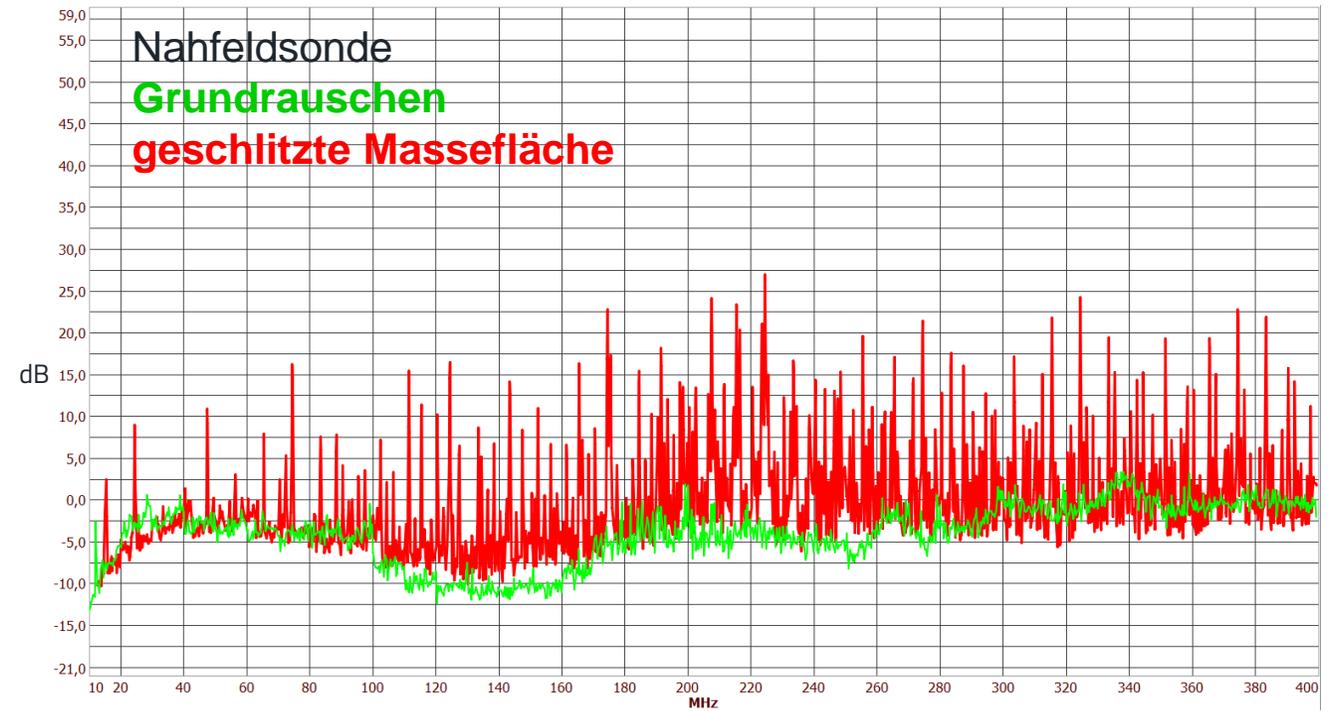
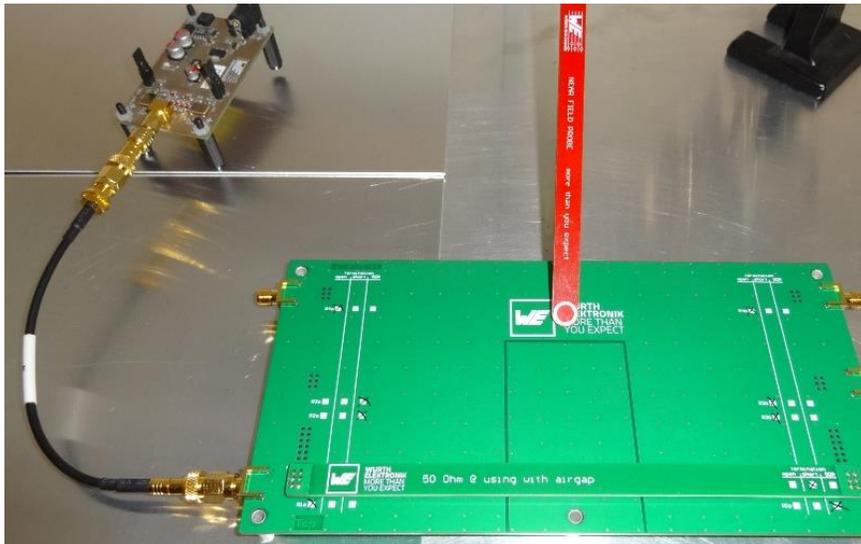


WE eiSos

geschlitzter AC Rückweg

# Geschlitzte GND-Plane

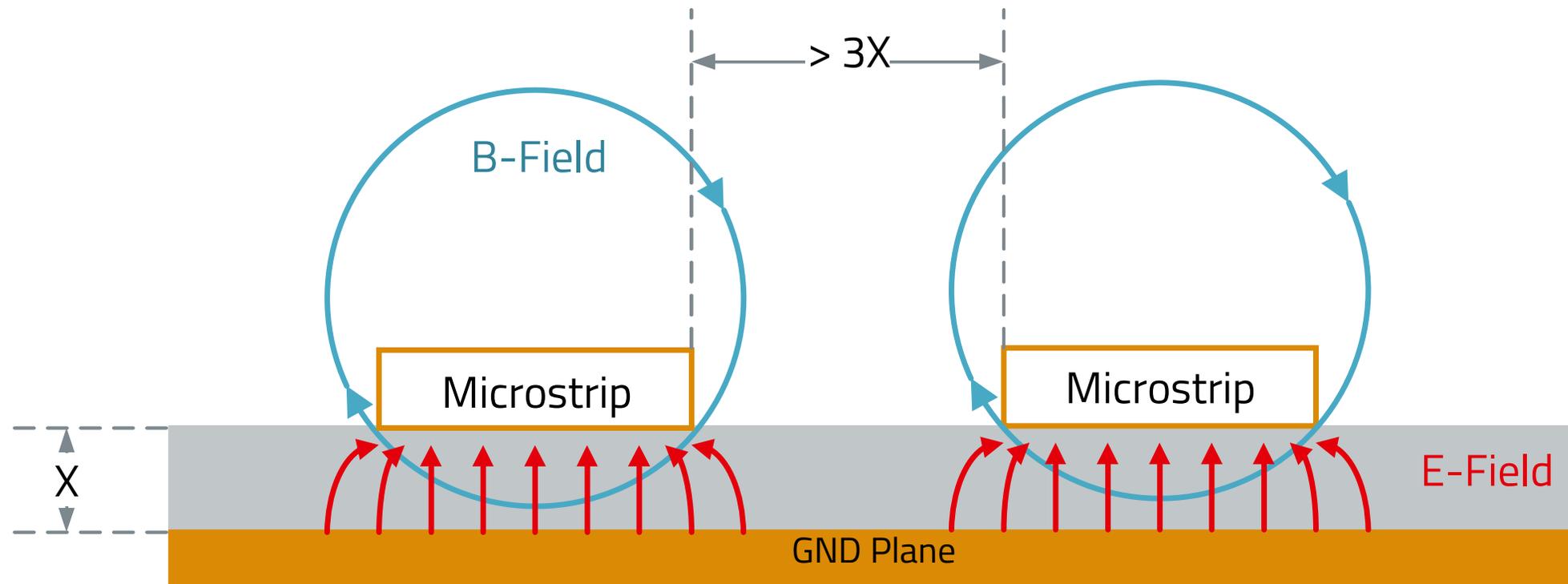
## Stromverteilung



# HF Energieübetragung

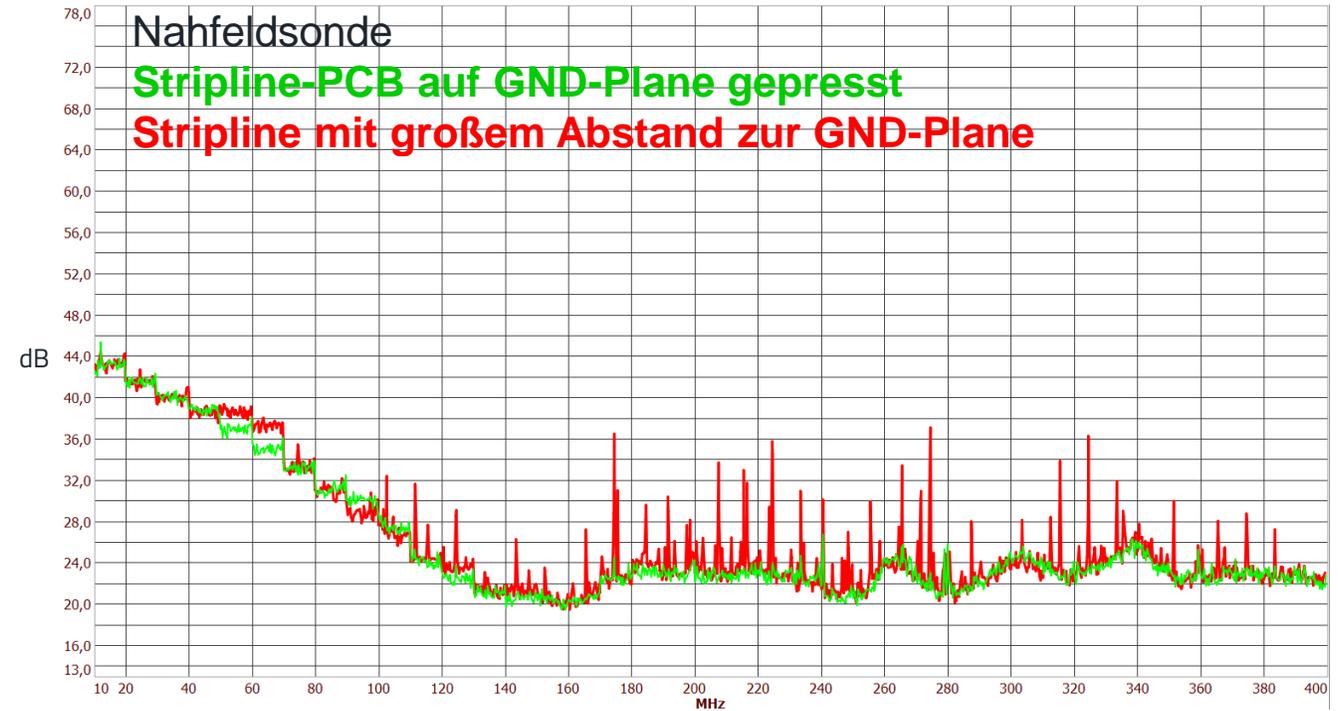
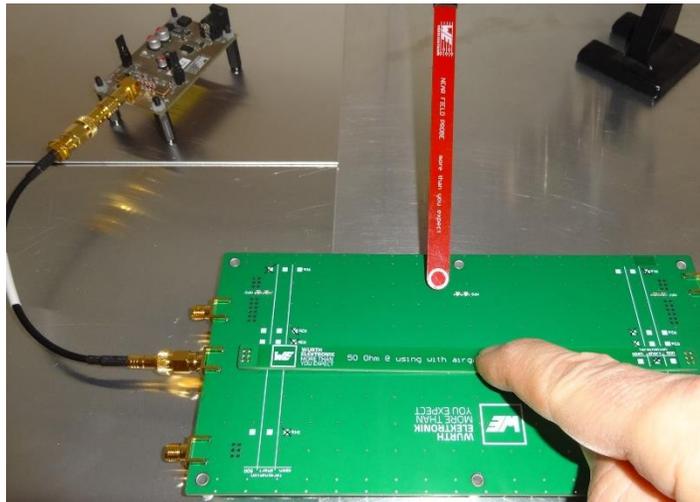
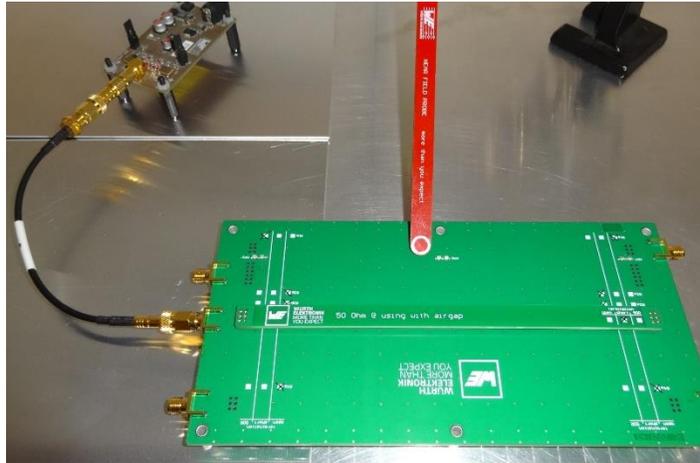
Übersprechen minimieren durch Abstand

- Entspricht der Abstand der Leiterbahnen der 3fachen Substratdicke, sinkt das Übersprechen auf ca. 1%



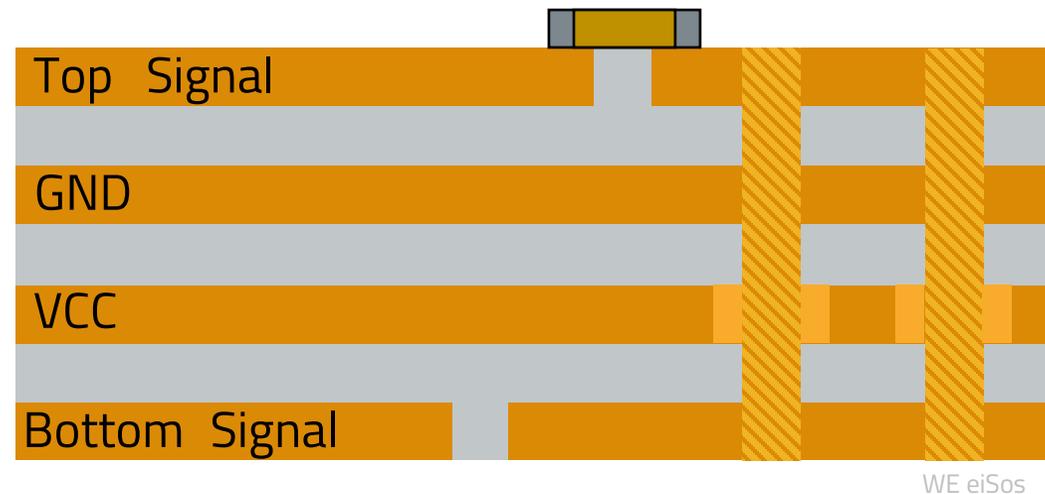
WE eiSos

# Abstrahlung PCB Traces



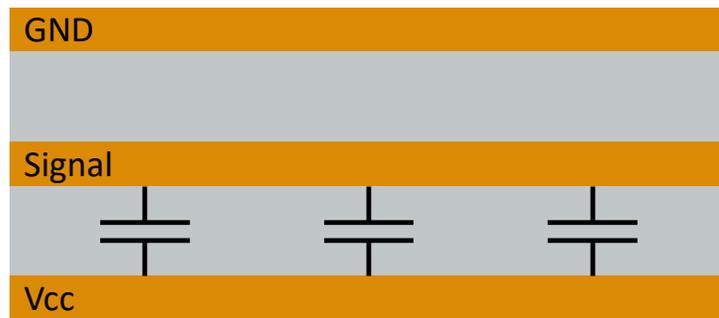
# Massebezug - Durchkontaktierung

- Parallelschalten von Vias zur Masse-Lage verbessert die Bezugsmasse des Kondensators



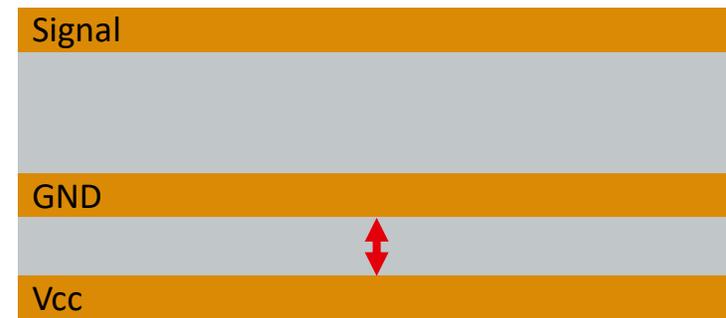
# Massebezug - Aufteilung der Lagen

- höhere Störsignalpegel auf der Spannungsversorgung koppeln auf die Signallage über
  - kapazitive Kopplung
- entkoppelte Signallage und geringer Plattenabstand zw. VCC und GND
- die kapazitive Kopplung ist direkt abhängig von der Substratstärke



WE eiSos

**schlecht**



WE eiSos

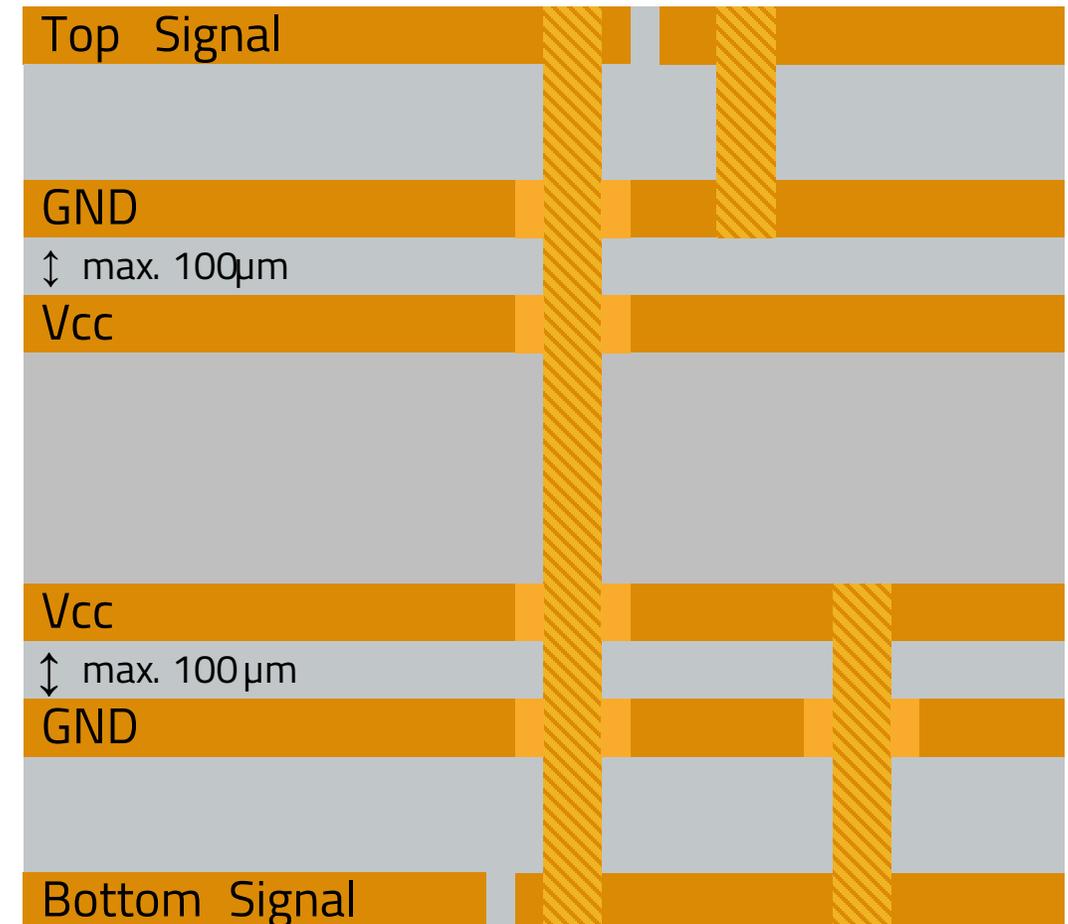
**besser**

# Layer Stack für beidseitig bestückte PCBs

6 Lagen für optimales Layout

## Anzahl der Layer ist immer ein Kompromiss

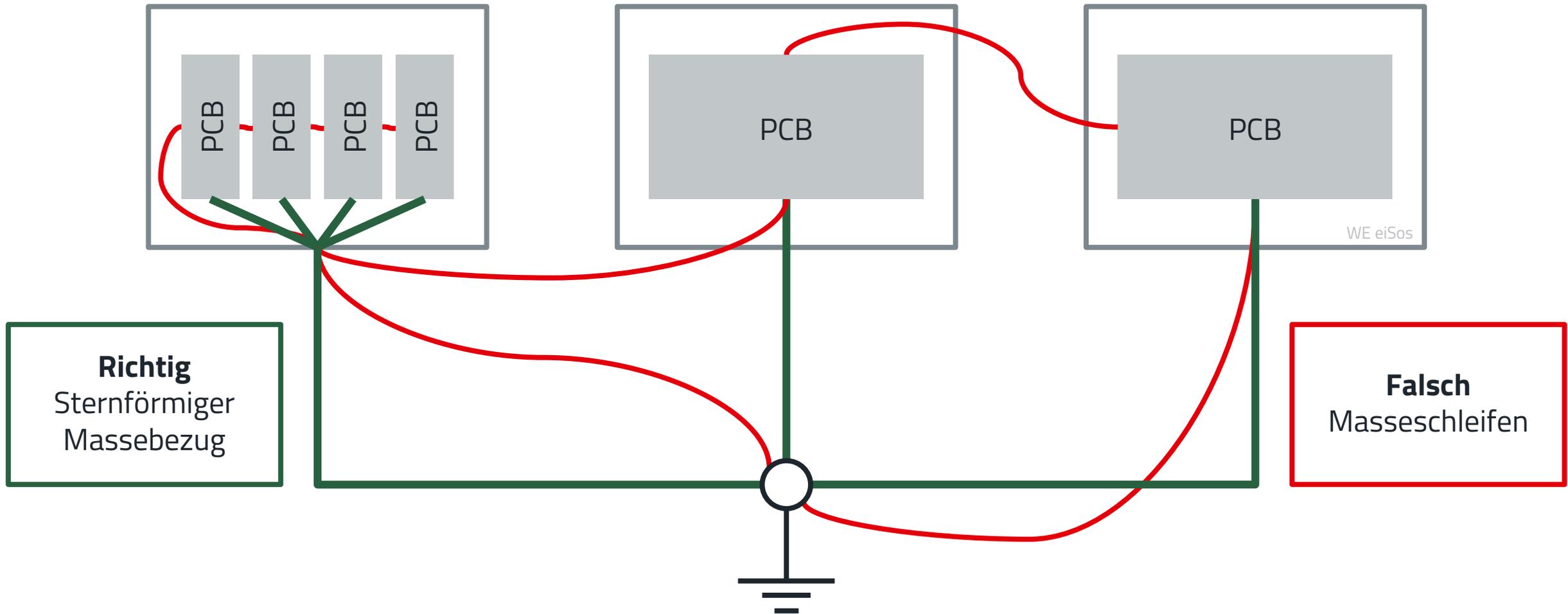
- Kosten
- Routing Komplexität
- Crosstalk zwischen den Signalen
- Lagen Entkopplung
- Signal Integrität
- Self Interference



WE eiSos

# Bezugspunkt Masse / Versorgung

Verteilung über mehrere PCB

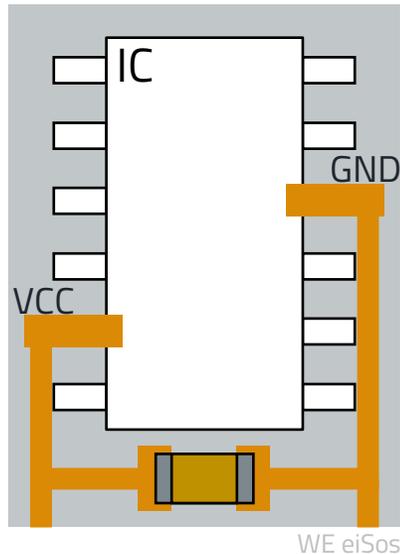


# ABBLOCK- KONDENSATOREN

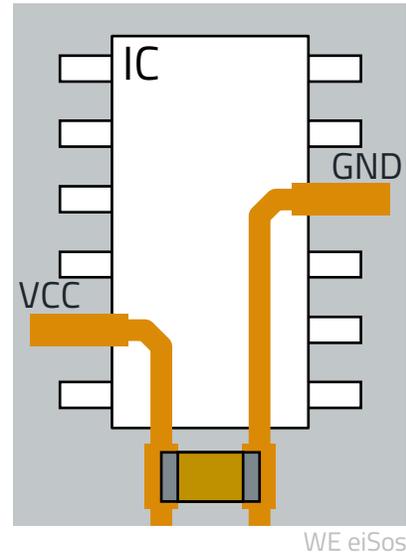
# Abblockkondensatoren: Zielstellung

Routing zu den Versorgungspins

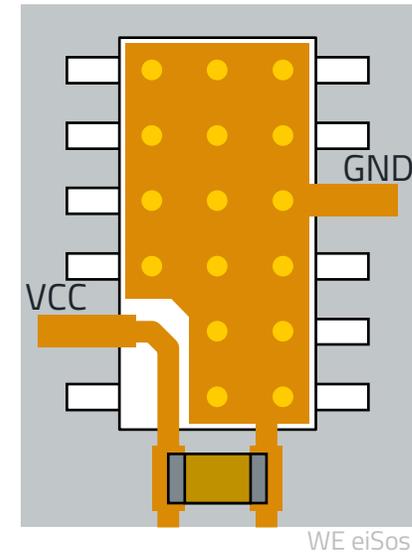
- Ladungspuffer für schnelle Laständerungen
- Verringerung der aufgespannten Fläche
- Niederinduktive Anbindung



schlecht



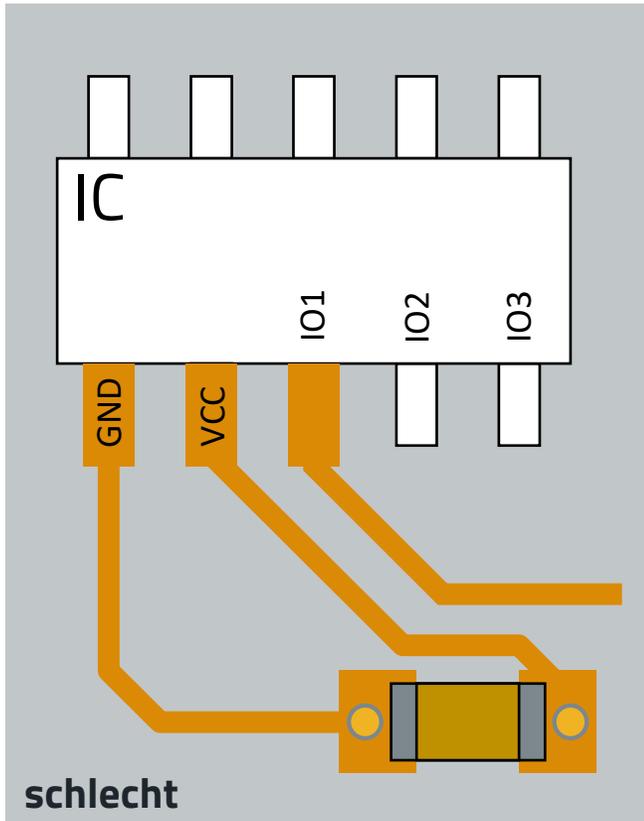
gut



besser

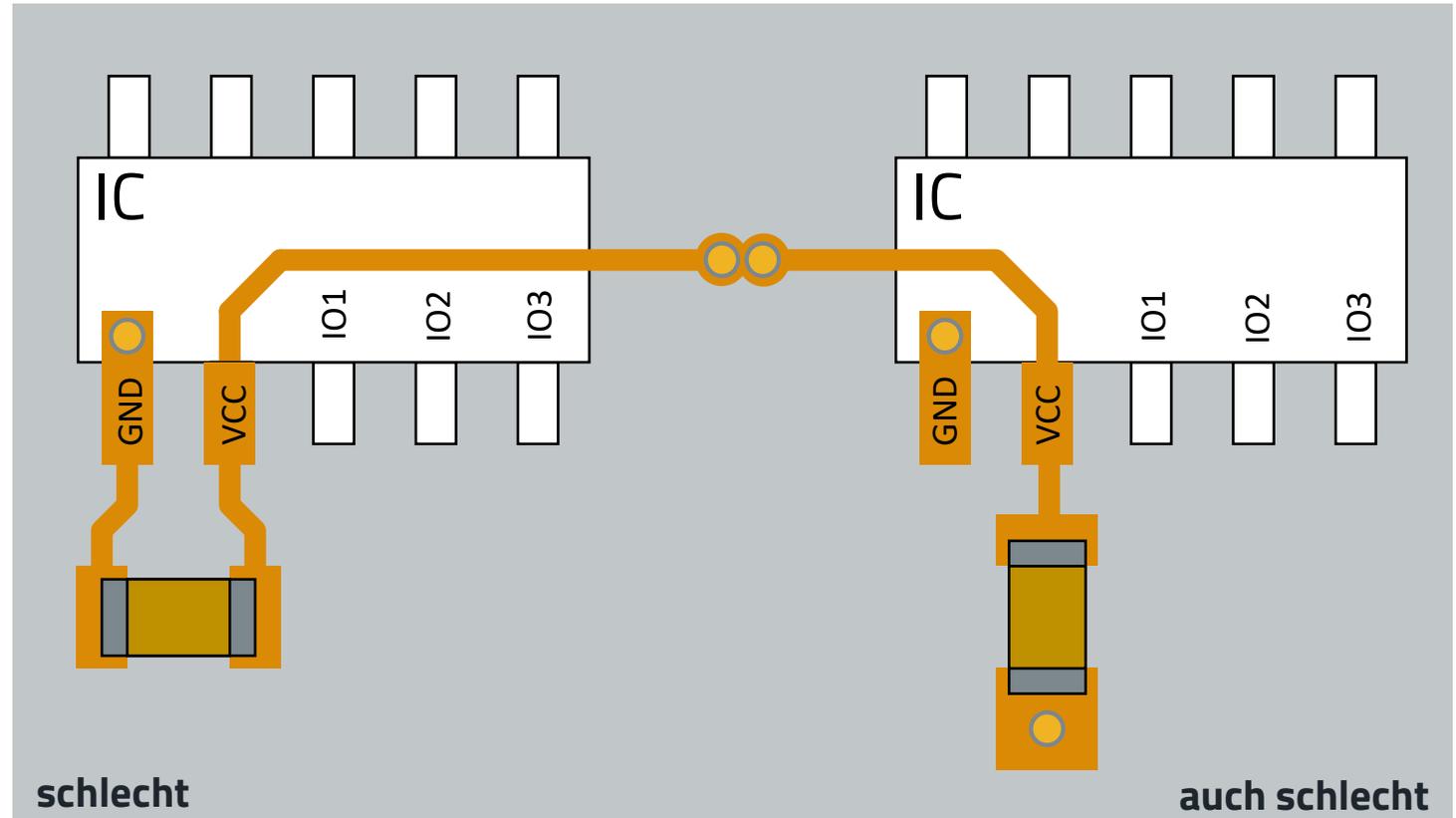
# Abblockkondensatoren: schlechte Anbindung

Routing zu den Versorgungspins



WE eiSos

- Große Stromschleifen
- Kopplung auf Nachbarpfade



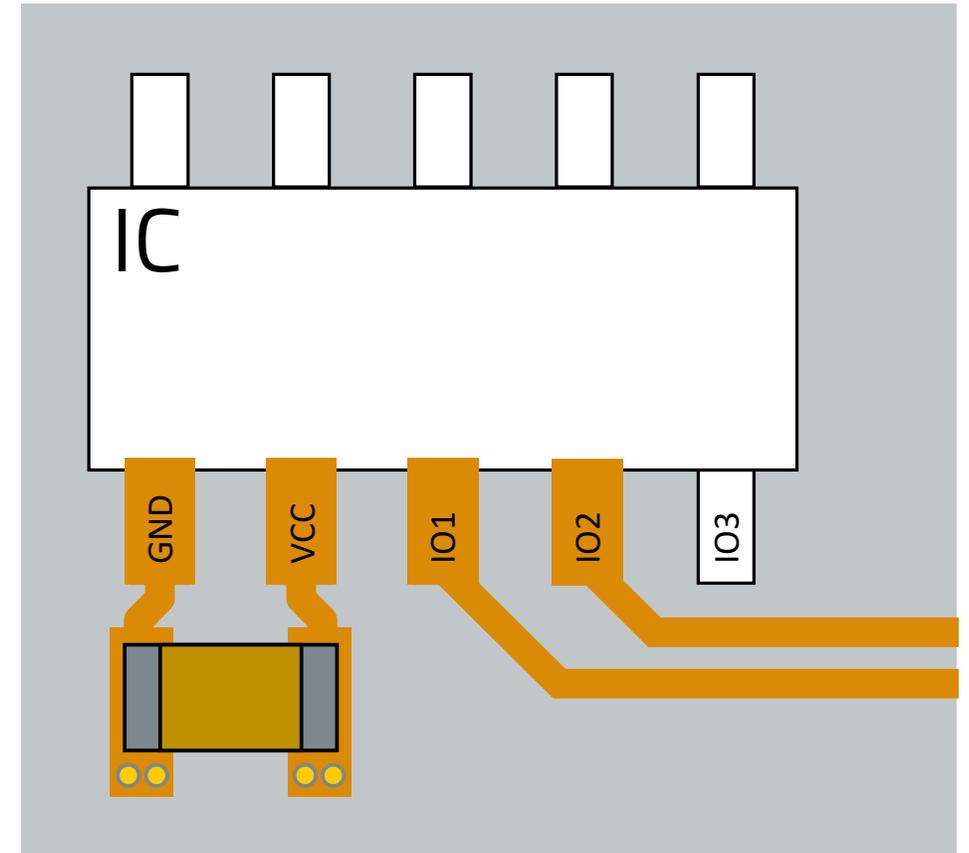
WE eiSos

- Energieversorgung aus VCC-Lage nicht aus dem Kondensator
- Impedanzkopplung im VCC-Netz

# Abblockkondensatoren: optimale Anbindung

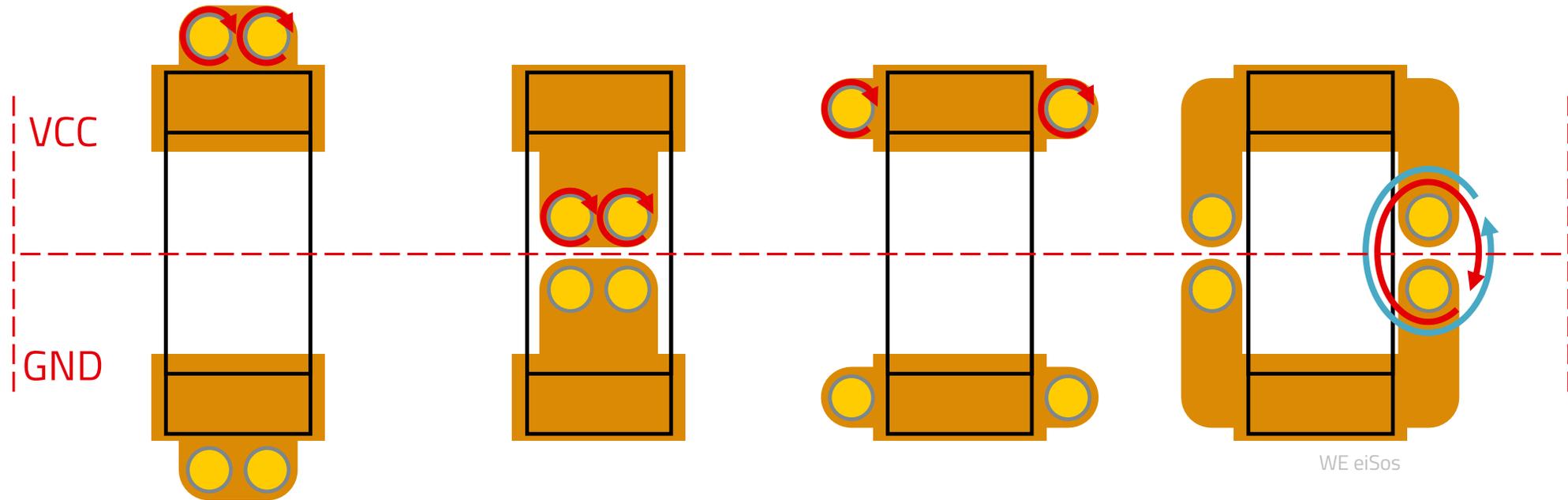
Routing zu den Versorgungspins

- HF-Ströme werden direkt aus dem Kondensator gespeist
  - VCC und GND sehen nur niederfrequente Ströme
  - HF-Stromschleifen kompakt ausführen
  - Kondensator max. 0,3mm vom Pin entfernt
- Anbindung des Kondensators niederimpedant
  - möglichst symmetrisch ausführen
- Parallele Vias minimieren Impedanz nach VCC und GND
- VCC- und GND-Plane als HF-Plattenkondensator nutzen
- Achtung bei der Parallelschaltung von Kondensatoren!



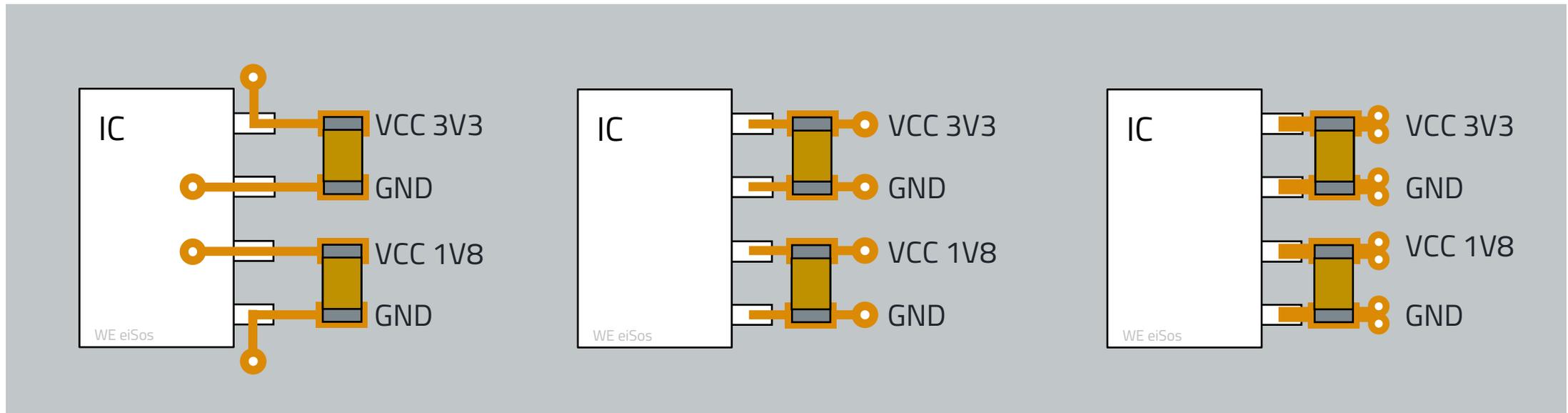
WE eiSos

# Abblockkondensatoren: Anordnung der Vias



- Welches ist die theoretisch beste Via Anordnung?

# Abblockkondensatoren: Massezuführung an ICs



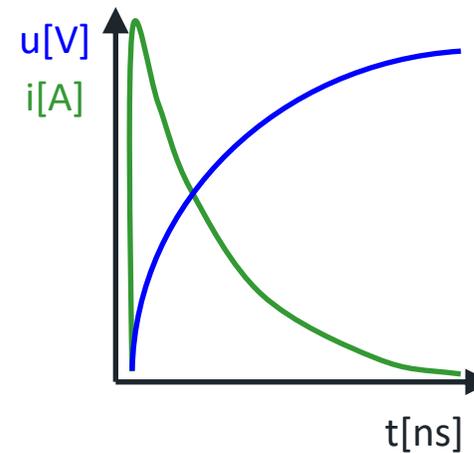
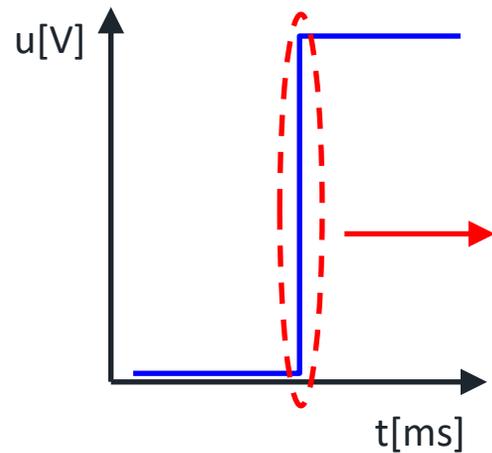
Schlecht

Besser

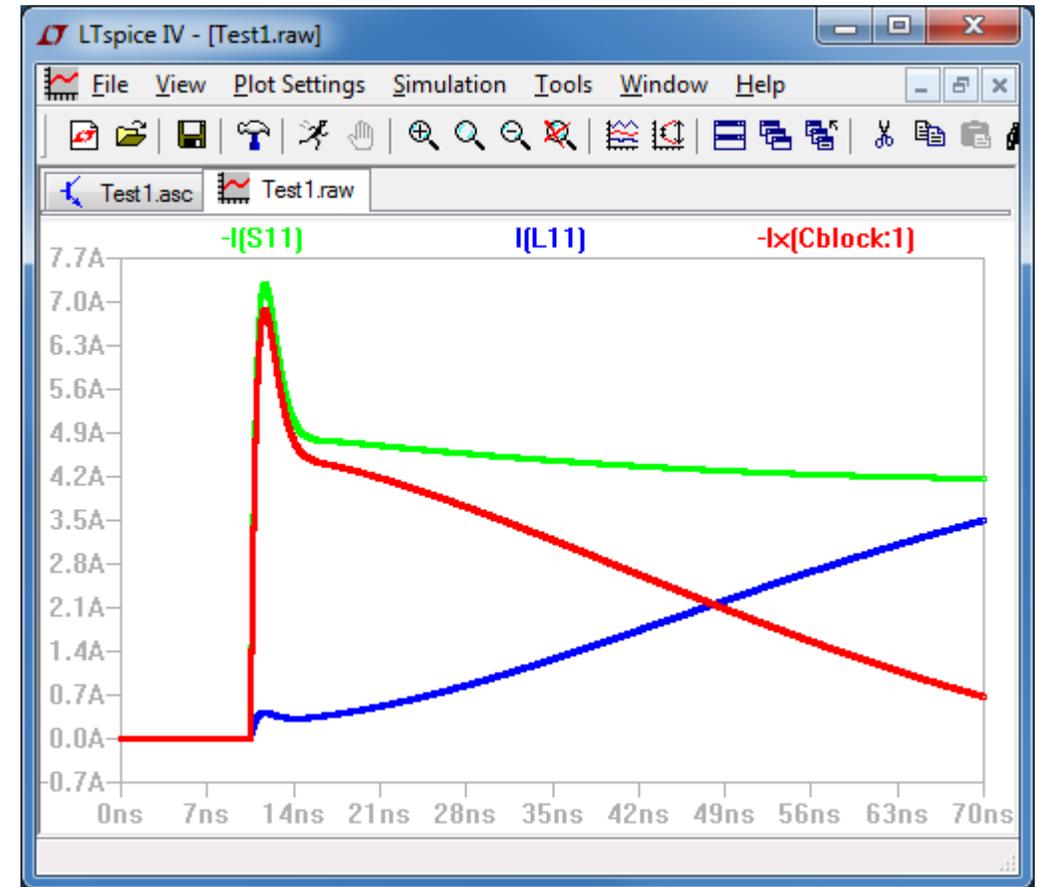
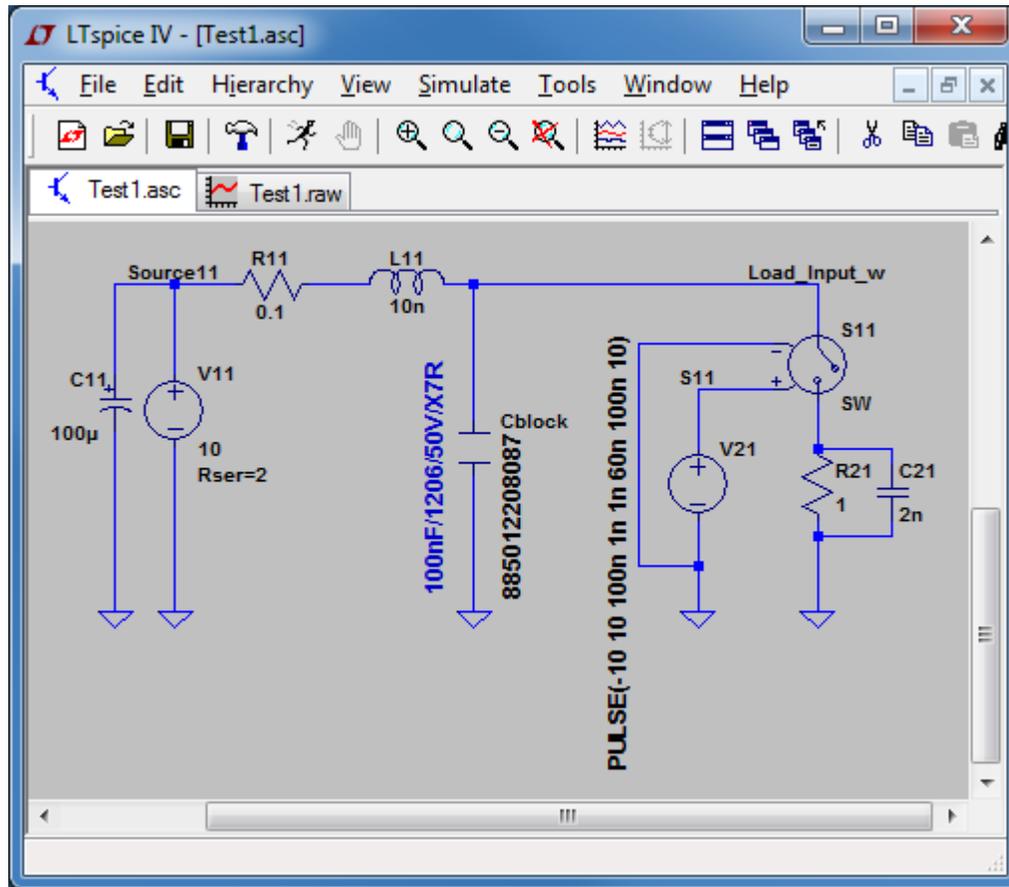
Sehr gut

# Auswahl von Abblockkondensatoren

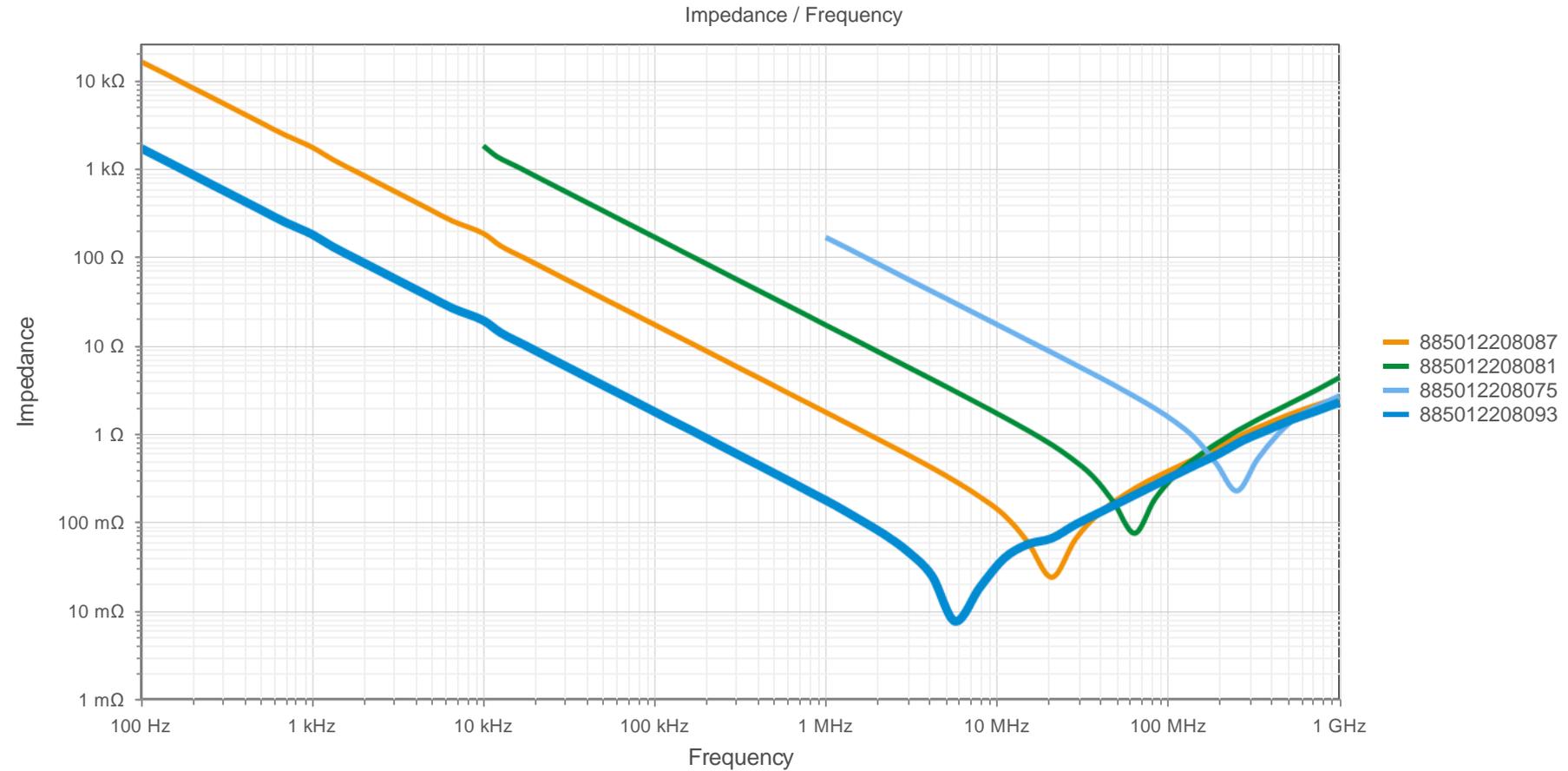
- Grundtakt des IC + Schaltflanken der IO-Ports oder Lastkreise
- Spannungsanstieg ist relativ genau messbar
- Flankenanstiegszeit gibt an, welche Zeit benötigt wird um alle beteiligten Kapazitäten des Systems zu laden
- Stromanstieg im System ist wesentlich kritischer zu betrachten als der Spannungshub (Radiated Emission)



# Auswahl von Abblockkondensatoren

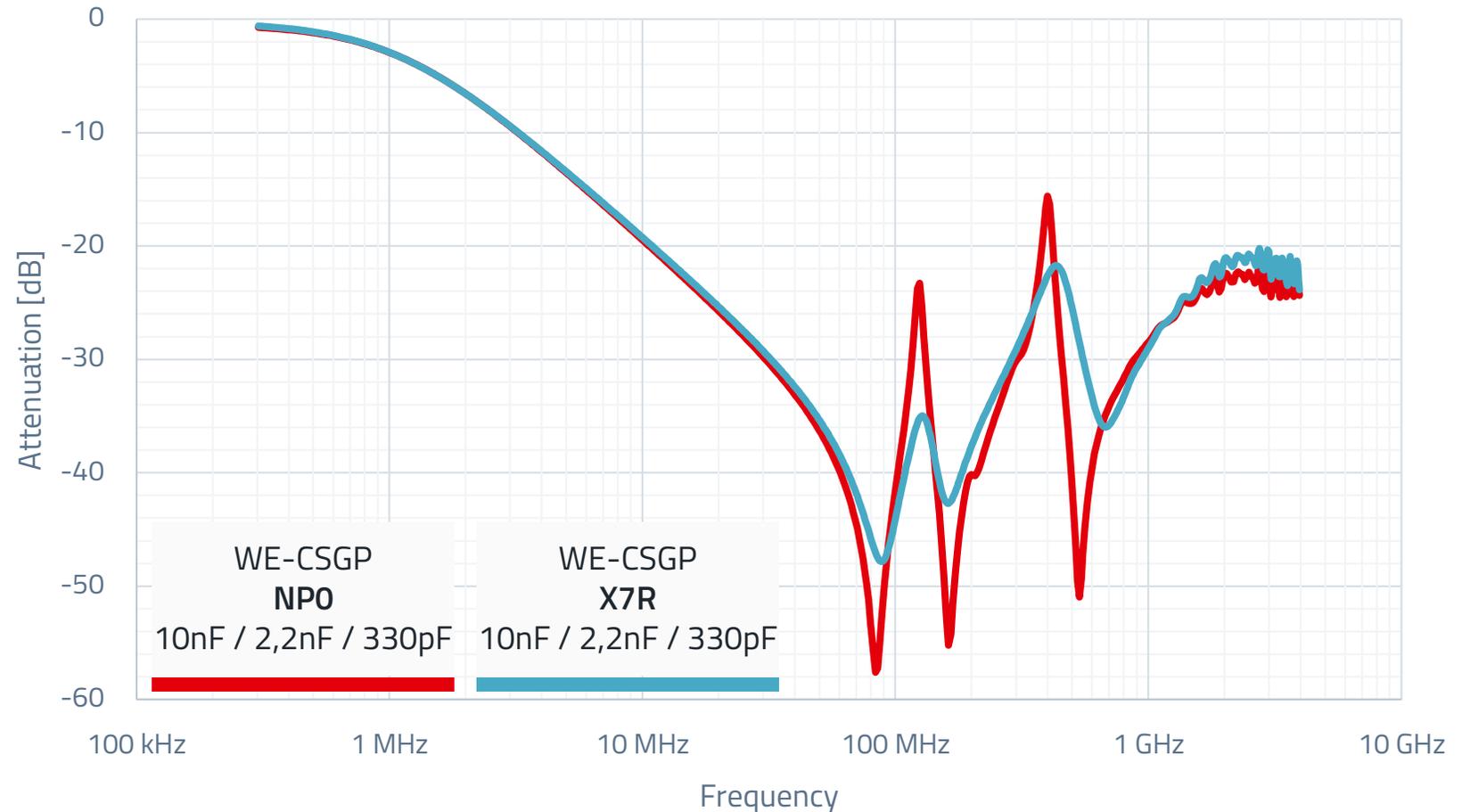


# Auswahl von Abblockkondensatoren



# Auswahl von Abblockkondensatoren

- Die jeweilige Keramikklasse hat Einfluss auf die Charakteristik der Kennlinie.
- Durch die höhere Güte zeigt NPO stärker ausgeprägte Resonanzen.
- X7R zeigt eine wesentlich harmonischere Kennlinie besitzt aber auch Nachteile:
  - DC-Bias
  - Temperaturabhängigkeit
  - Alterungseffekte

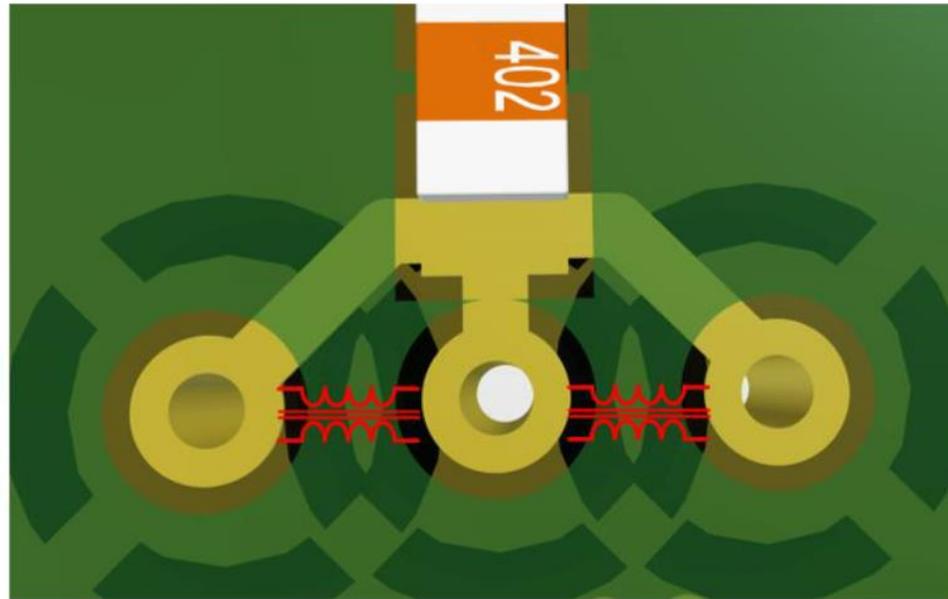


# Auswahl von Abblockkondensatoren

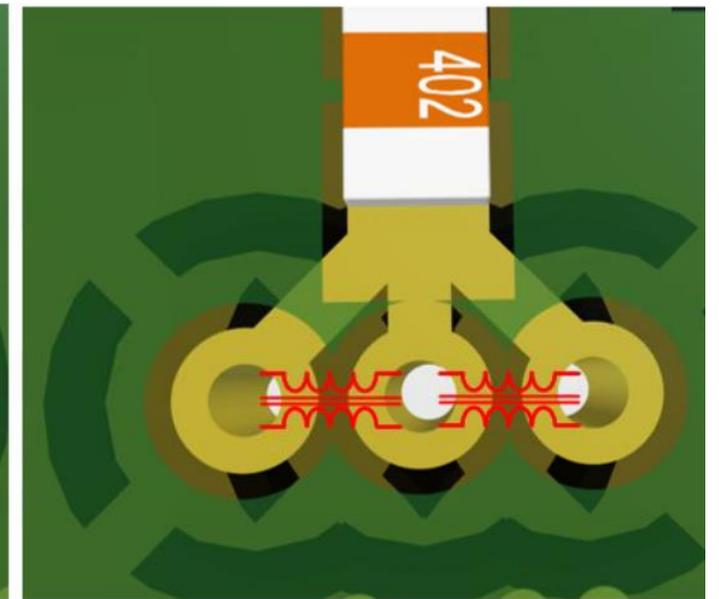
Via-Anordnung



1) Initial positioning of vias



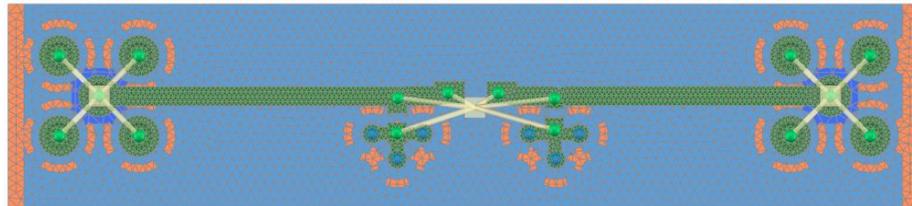
2) Vias positioned in a row, shifted with 0.5mm



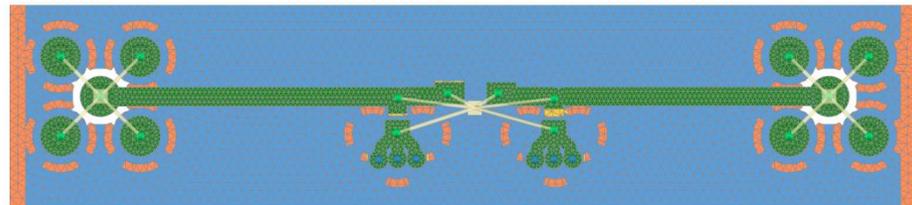
3) Vias positioned in a row

# Auswahl von Abblockkondensatoren

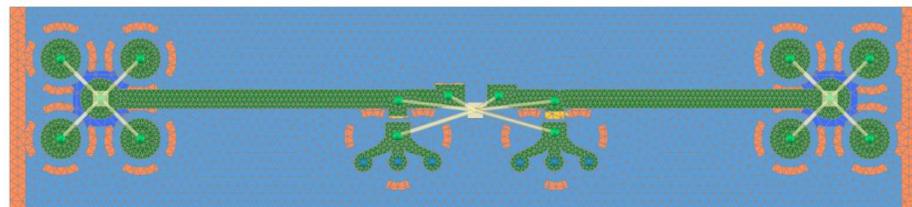
## Via-Anordnung (EMCoS-Simulation)



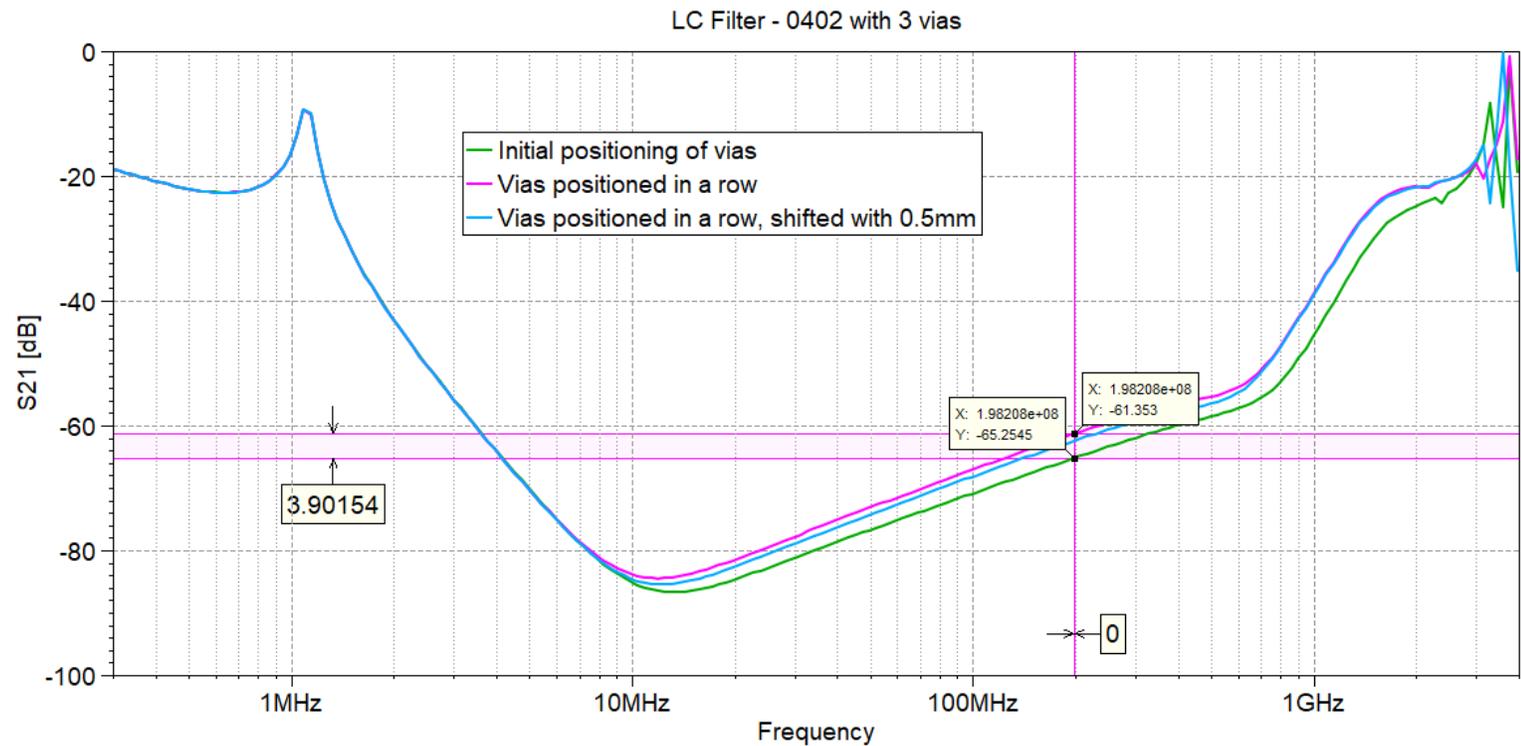
Initial positioning of vias



Vias positioned in a row



Vias positioned in a row, shifted with 0.5mm

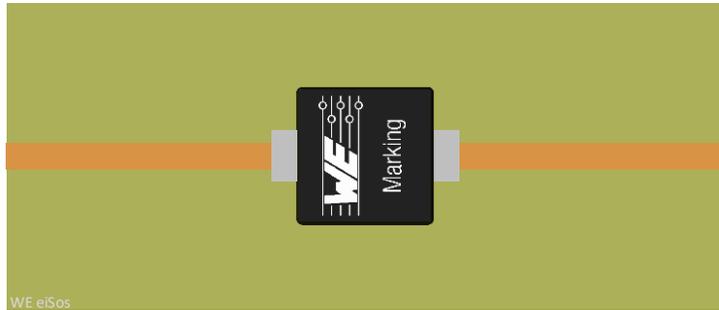


# SPEICHER- INDUKTIVITÄTEN

# Masseflächen unter Speicherinduktivitäten

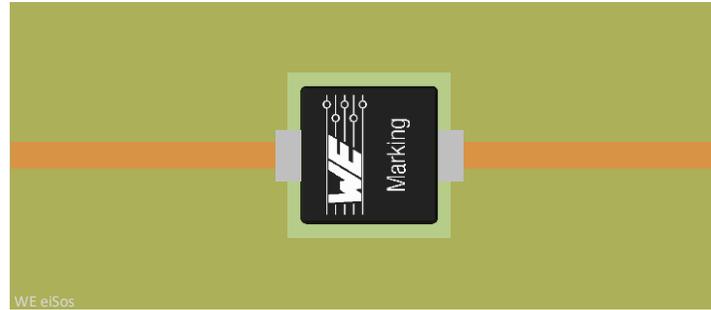
## Layout Optionen

### durchgehende Massefläche



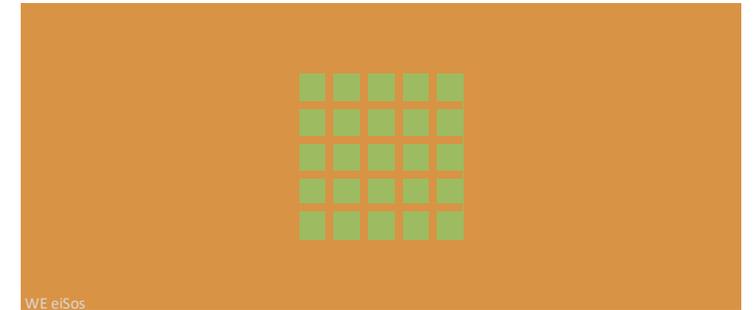
- + Schirmung des elektrischen und magnetischen Nahfeldes
- Wirbelströme beeinflussen den Induktivitätswert

### Fenster in der Massefläche



- + reduzierte Wirbelströme
- Magnetfeld tritt durch die Platine (Abstrahlung)

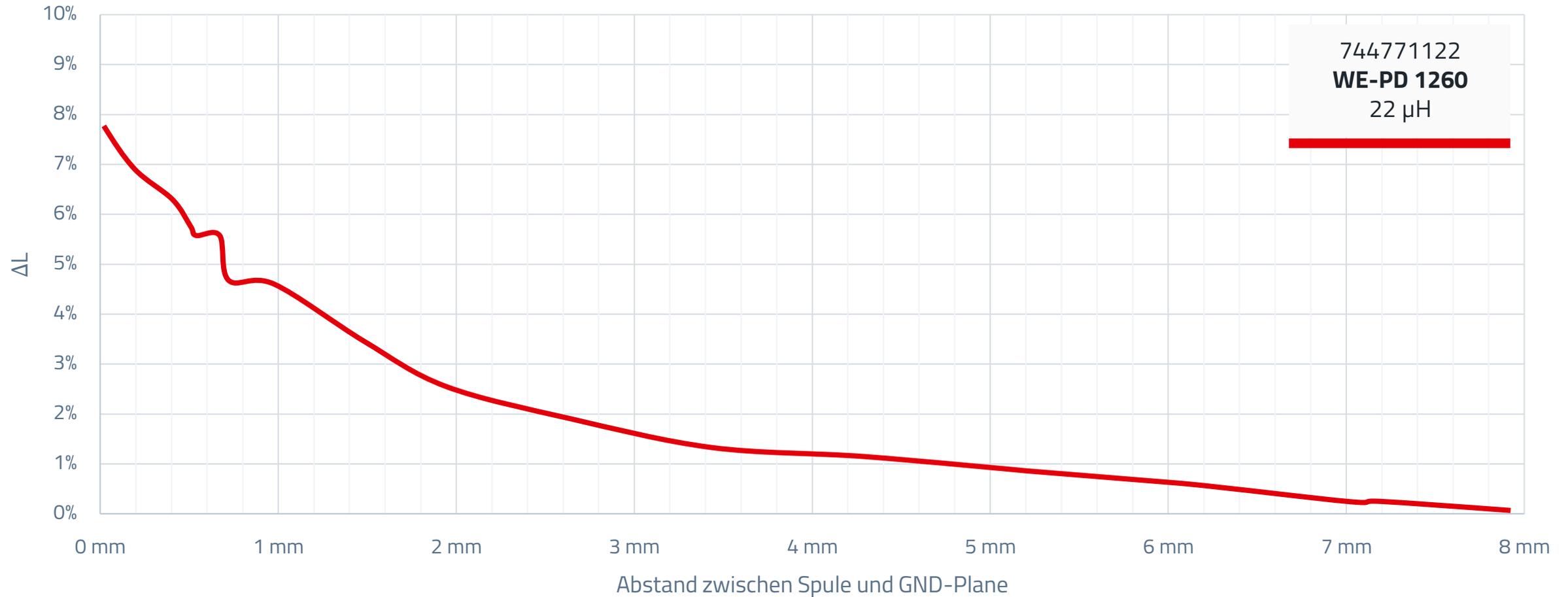
### Kompromiss → Gitterstruktur



- + reduziert Wirbelströme
- + reduziert Felddurchdringung
- hohe Layoutanforderungen

# Masseflächen unter Speicherinduktivitäten

Einfluß auf die Induktivität einer Speicherdrossel mit einem 1mm Luftspalt



# Orientierung von Speicherdröseln

Schaltknoten so klein wie möglich ausführen

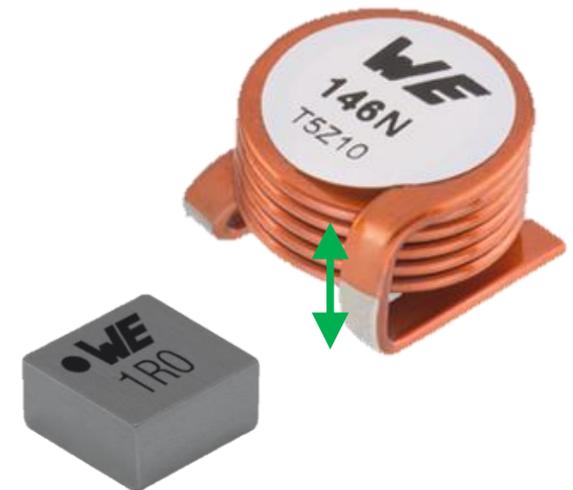
- Bei Spulen mit mehreren Wicklungslagen ist der **Wicklungsanfang** mit einem Punkt gekennzeichnet.
  - hier trifft der Draht auf kürzestem Weg auf den Spulenkern
- Der Wicklungsanfang sollte immer zum **Schaltknoten** des DCDC-Wandlers zeigen!
  - die äußeren Wicklungen wirken als Schirmung (das Nahfeldverhalten der Spule wird beeinflusst)
- Auch für Spulen mit nur einer Wicklungslage ist die Orientierung relevant.
- Abhängig von Produktionsprozessen und Bauteilabmaßen besitzt nicht jede Spule den Start of Winding.



WE eiSos

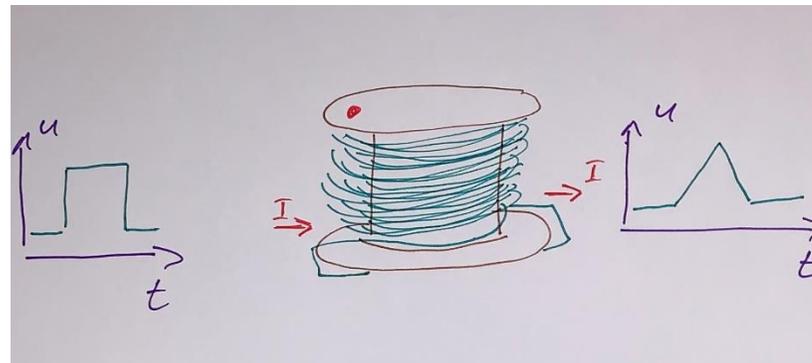
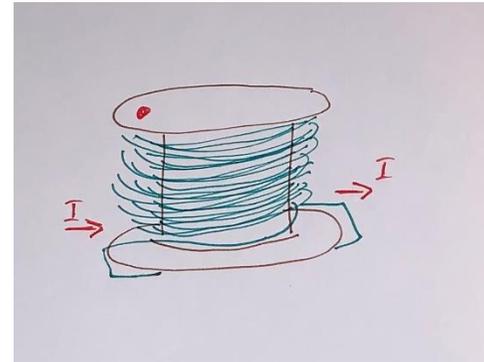
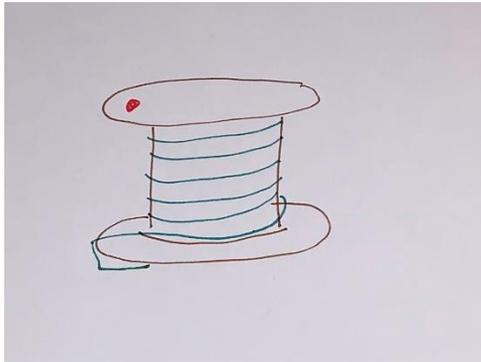


Reference on drawing	Description
•	Start of winding
Marking	270 (Inductance Code)



# Orientierung von Speicherdrosseln „start of winding“

Start of Winding



# Orientierung von Speicherdrrosseln

