

DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm - SO GEHT ES!

Michael Kress & Michael Matthes

WÜRTH ELEKTRONIK MORE THAN YOU EXPECT

AGENDA

1. Entwicklungsflow aus Sicht des Entwicklers / Designers
 - Spezifikation der Anforderung an die Baugruppe
 - Bauteileauswahl / Studium der Datenblätter
 - Abklärung der Parameter mit dem PCB-Hersteller
2. Anforderungen an den Leiterplattenhersteller
 - Was ist möglich? Was ist nicht möglich?
 - Wo sind die Grenzen?
 - Empfehlungen vom Leiterplattenhersteller
 - Herausforderung Impedanz
 - Zuverlässigkeit
3. Umsetzung im Design
 - Impedanzmodule
 - Lagenaufbau
 - Design



Michael Kress
Head of Technical
Project Management



Michael Matthes
Advanced Solution Center
Specialist Layout and Measurement



DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Entwicklungsflow aus Sicht des Entwicklers / Designers

- Spezifikation der Anforderung an die Baugruppe
 - Erstellung Pflichtenheft aus Lastenheft

- Bauteileauswahl / Studium der Datenblätter und Prüfung der benötigten Funktionen
 - Anlage der Schaltplansymbole und Footprints in der Datenbank
 - Erstellung des Schaltplans im Designtool
 - Klärung der Impedanzanforderungen aus der Schaltung und der eingesetzten Bauteile
 - Eingabe der Parameter in den Constraintsets / Regelwerken (Schaltplan / Layout)

- Abklärung der Parameter mit dem PCB-Hersteller
 - Lagenaufbau
 - Material
 - Impedanzmodule
 - sonstige Parameter

DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Bauteileauswahl und Studium der Datenblatts



PSoC 6 MCU: CY8C63x6,
CY8C63x7 Datasheet
PSoC 63 MCU with Bluetooth LE

General Description

PSoC[®] 6 MCU is a high-performance, ultra-low-power and secured MCU platform, purpose-built for IoT applications. The PSoC 63 with Bluetooth LE product line, based on the PSoC 6 MCU platform, is a combination of a high-performance microcontroller with low-power flash technology, digital programmable logic, high-performance analog-to-digital conversion and standard communication and timing peripherals.

The PSoC 63 product line provides wireless connectivity with Bluetooth LE 5.0 compliance.

Features

32-bit Dual CPU Subsystem

- 150-MHz Arm[®] Cortex[®]-M4F (CM4) CPU with single-cycle multiply, floating point, and memory protection unit (MPU)
- 100-MHz Cortex-M0+ (CM0+) CPU with single-cycle multiply and MPU
- User-selectable core logic operation at either 1.1 V or 0.9 V
- Active CPU current slope with 1.1-V core operation
 - Cortex-M4: 40 μ A/MHz
 - Cortex-M0+: 20 μ A/MHz
- Active CPU current slope with 0.9-V core operation
 - Cortex-M4: 22 μ A/MHz
 - Cortex-M0+: 15 μ A/MHz
- Two DMA controllers with 16 channels each

Memory Subsystem

- 1-MB application flash, 32-KB auxiliary flash (AUXflash), and 32-KB supervisory flash (SFlash), read-while-write (RWW) support. Two 8-KB flash caches, one for each CPU.
- 288-KB SRAM with power and data retention control
- One-time-programmable (OTP) 1-Kb eFuse array

Bluetooth Low Energy Subsystem

- 2.4-GHz RF transceiver with 50- Ω antenna drive
- Digital PHY
- Link Layer engine supporting master and slave modes
- Programmable TX power: up to 4 dBm
- RX sensitivity: -95 dBm
- RSSI: 4-dB resolution
- 5.7-mA Tx (0 dBm) and 6.7-mA Rx (2 Mbps) current with 3.3-V supply and internal SIMO Buck converter
- Link Layer engine supports four connections simultaneously
- Supports 2 Mbps data rate

Low-Power 1.7-V to 3.6-V Operation

- Six power modes for fine-grained power management
- Deep Sleep mode current of 7 μ A with 64-KB SRAM retention
- On-chip Single-In Multiple Out (SIMO) DC-DC buck converter, <1 μ A quiescent current
- Backup domain with 64 bytes of memory and real-time clock

Flexible Clocking Options

- 8-MHz Internal Main Oscillator (IMO) with $\pm 2\%$ accuracy
- Ultra-low-power 32-kHz Internal Low-speed Oscillator (ILO)
- On-chip crystal oscillators (16 to 35 MHz, and 32 kHz)
- Phase-locked loop (PLL) for multiplying clock frequencies
- Frequency-locked loop (FLL) for multiplying IMO frequency
- Integer and fractional peripheral clock dividers

Quad SPI (QSPI)/Serial Memory Interface (SMIF)

- Execute-In-Place (XIP) from external quad SPI Flash
- On-the-fly encryption and decryption
- 4-KB cache for greater XIP performance with lower power
- Supports single, dual, quad, dual-quad, and octal interfaces with throughput up to 640 Mbps

Segment LCD Drive

- Supports up to 83 segments and up to 8 commons

Serial Communication

- Nine run-time configurable serial communication blocks (SCBs)
 - Eight SCBs: configurable as SPI, I²C, or UART
 - One Deep Sleep SCB: configurable as SPI or I²C
- USB full-speed device interface

Audio Subsystem

- Two pulse density modulation (PDM) channels and one I²S channel with time division multiplexed (TDM) mode

Timing and Pulse-Width Modulation

- Thirty-two timer/counter/pulse-width modulators (TCPWM)
- Center-aligned, edge, and pseudo-random modes
- Comparator-based triggering of Kill signals

Programmable Analog

- 12-bit, 1-Msps SAR ADC with differential and single-ended modes and 16-channel sequencer with result averaging
- Two low-power comparators available in Deep Sleep and Hibernate modes
- Built-in temperature sensor connected to ADC
- One 12-bit voltage-mode digital-to-analog converter (DAC) with < 2- μ s settling time
- Two opamps with low-power operation modes

Figure 15. 104-M-CSP-USB Power Connection Diagram

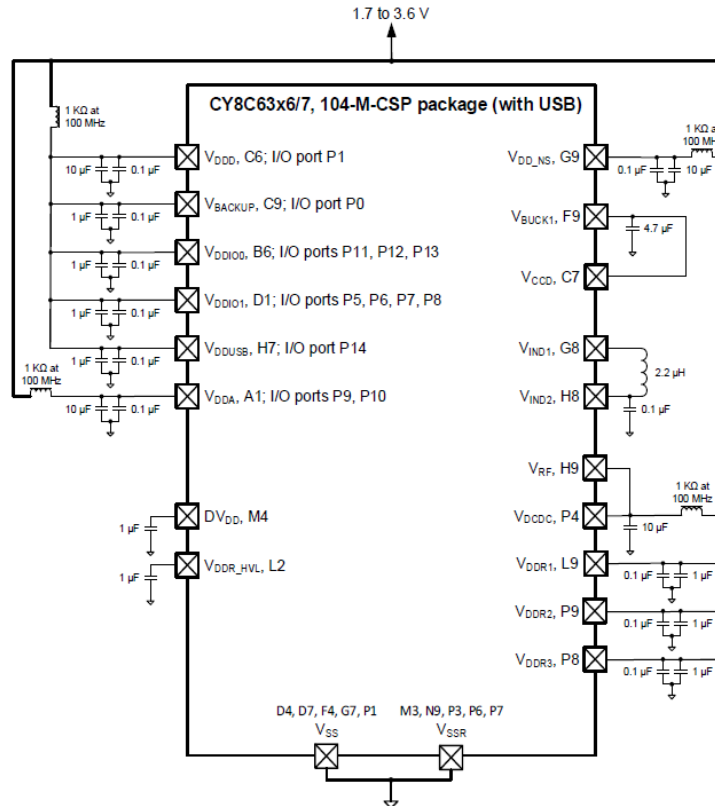
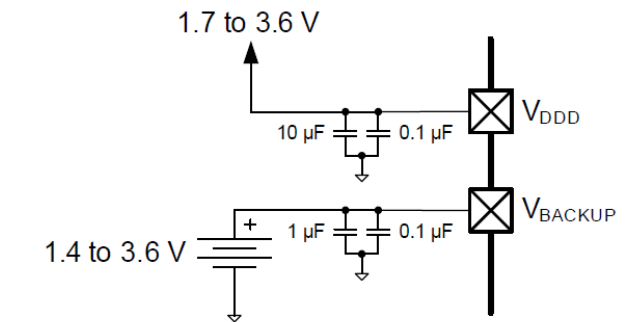


Figure 17. Separate Battery Connection to V_{BACKUP}



- V_{DDUSB}: the supply for the USB peripheral and the USBDP and USBDM pins. It must be 2.85 V to 3.6 V for USB operation. If USB is not used, it can be 1.7 V to 3.6 V, and the USB pins can be used as limited-capability GPIOs on I/O port 14.

Table 10 shows a summary of the I/O port supplies:

Table 10. I/O Port Supplies

Port	Supply	Alternate Supply
0	V _{BACKUP}	V _{DDD}
1	V _{DDD}	-
5, 6, 7, 8	V _{DDIO1}	-
9, 10	V _{DDIOA}	V _{DDA}
11, 12, 13	V _{DDIO0}	-
14	V _{DDUSB}	-

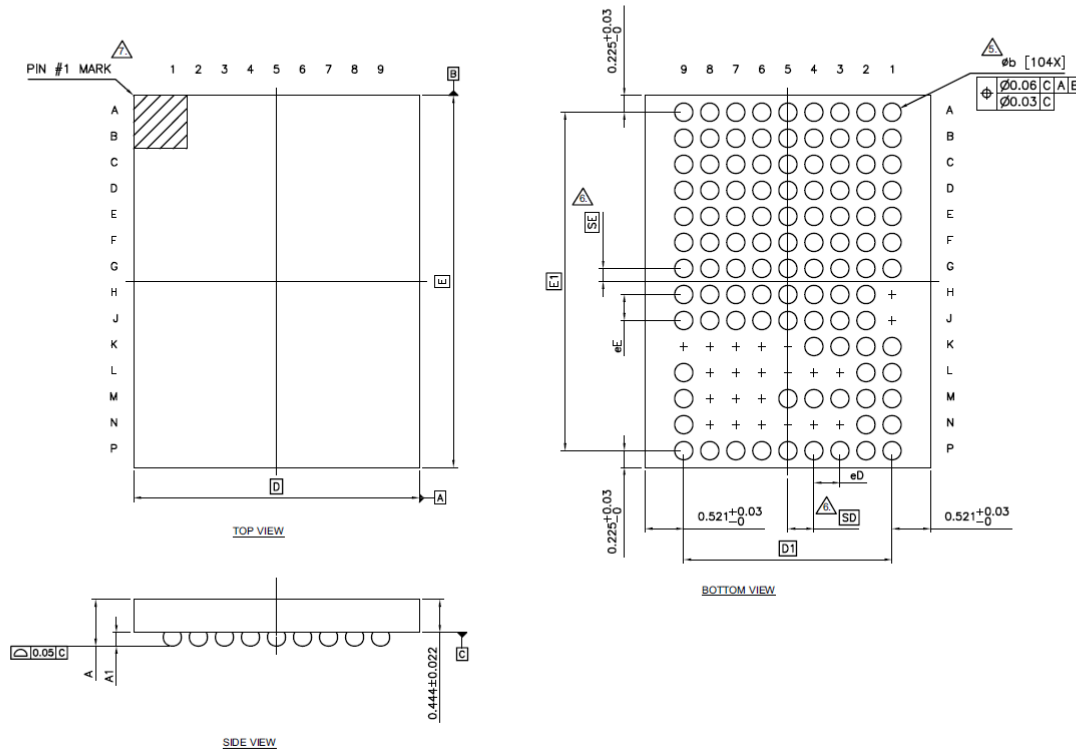


DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!



PSoC 6 MCU: CY8C63x6,
CY8C63x7 Datasheet

Figure 21. 104-M-CSP 3.8 × 5.0 × 0.65 mm



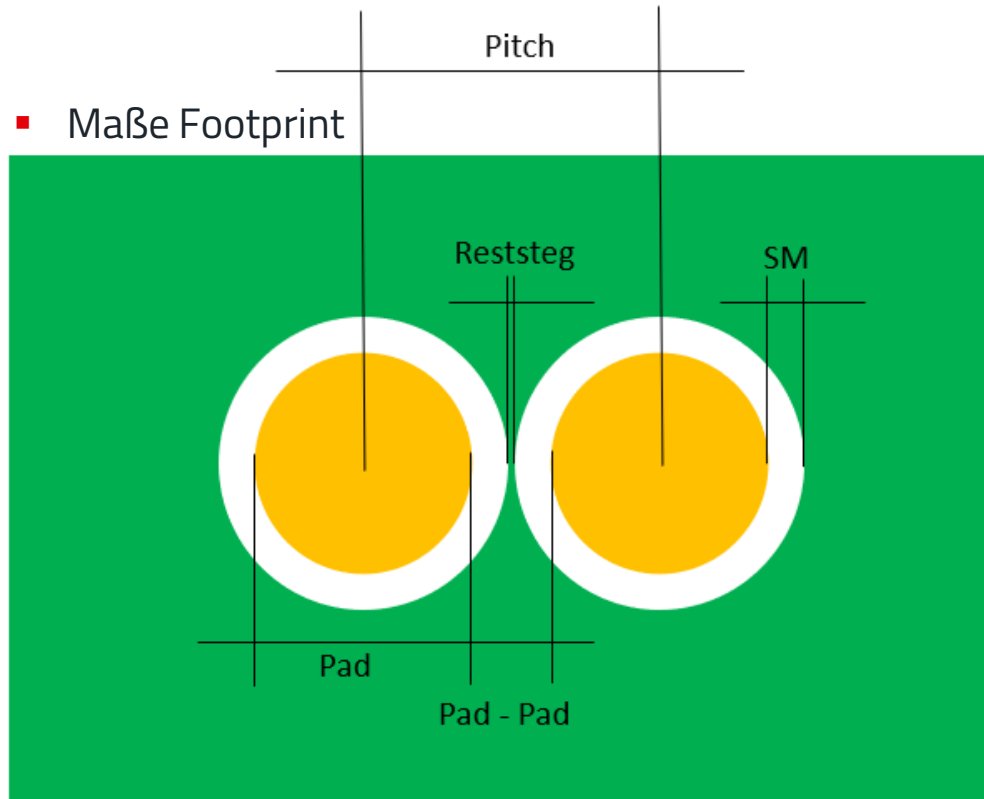
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	0.650
A1	0.167	0.185	0.203
D	3.791	3.841	3.891
E	4.95	5.00	5.05
D1	2.80 BSC		
E1	4.55 BSC		
MD	9		
ME	14		
N	104		
$\varnothing b$	0.215	0.245	0.275
eD	0.335	0.350	0.365
eE	0.335	0.350	0.365
SD	0.35 BSC		
SE	0.175 BSC		



DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

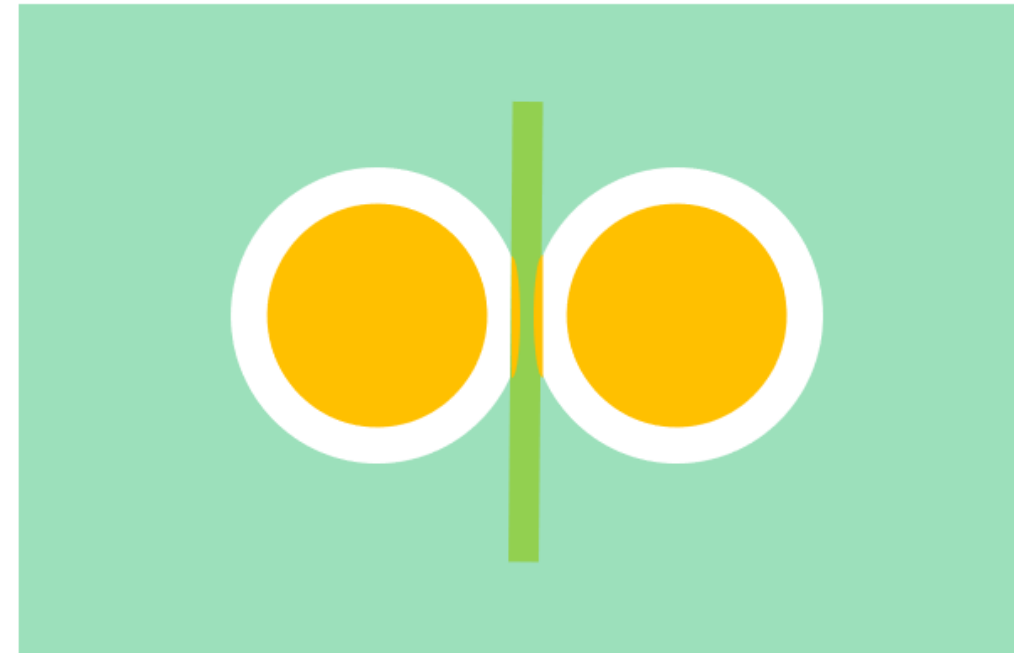
Anlage mit Standardparametern

- Maße Footprint



Pitch [um]	Pad [um]	SM [um]	Reststeg [um]	uVia [um]	Pad-Pad [um]	L/S [um]
350	240	50	10	85/215	110	

- eine Leitung zwischen den Pads



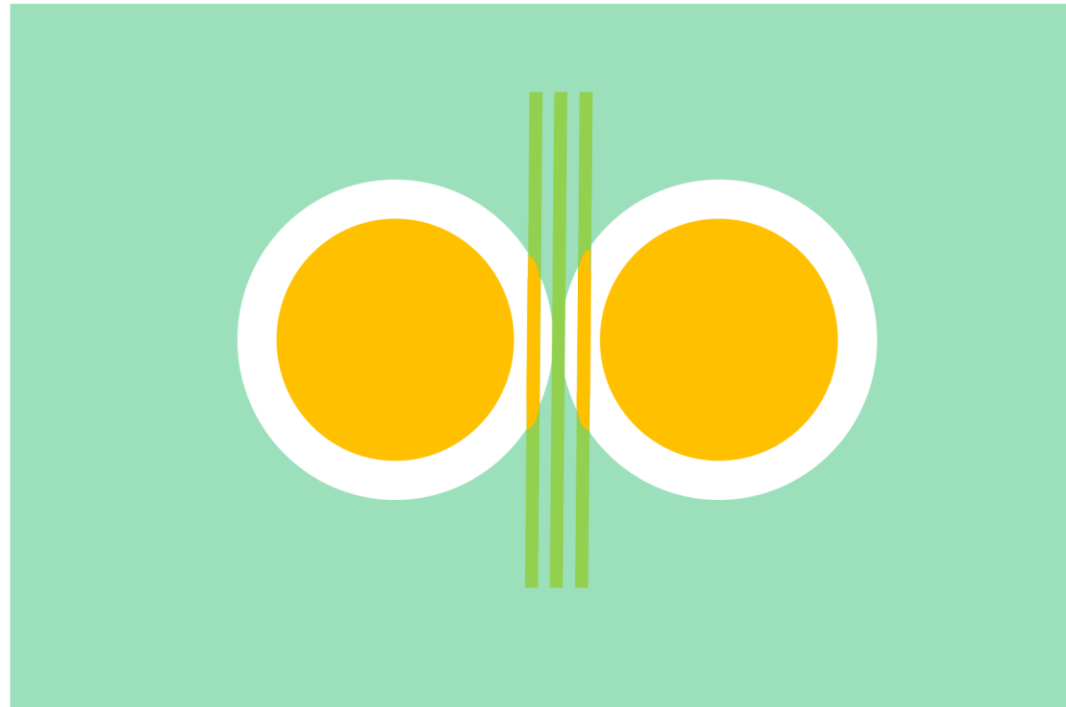
Pitch [um]	Pad [um]	SM [um]	Reststeg [um]	uVia [um]	Pad-Pad [um]	L/S [um]
350	240	50	10	85/215	110	36,67

DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Anlage mit Standardparametern

- zur vollständigen Entflechtung inklusive der inneren Pinreihen wären 3 bis 4 Leitungen zwischen den Pads zu routen
- 15,71 μm Line/Space sind im Leiterplattenprozess aktuell noch nicht realisierbar

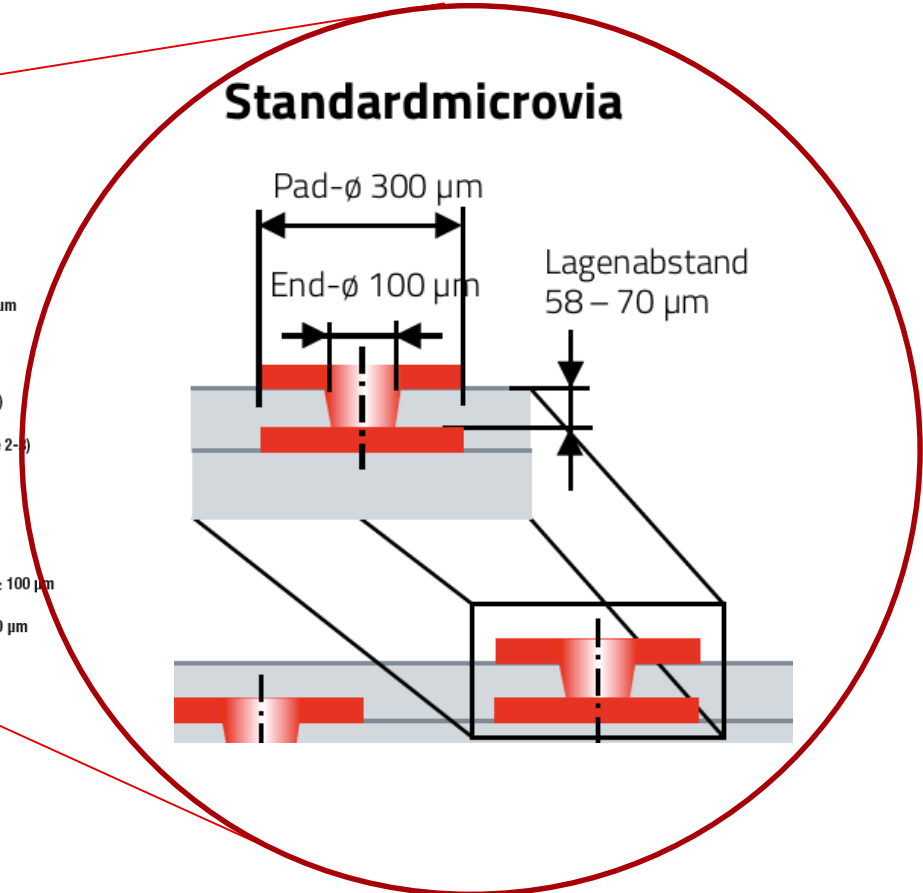
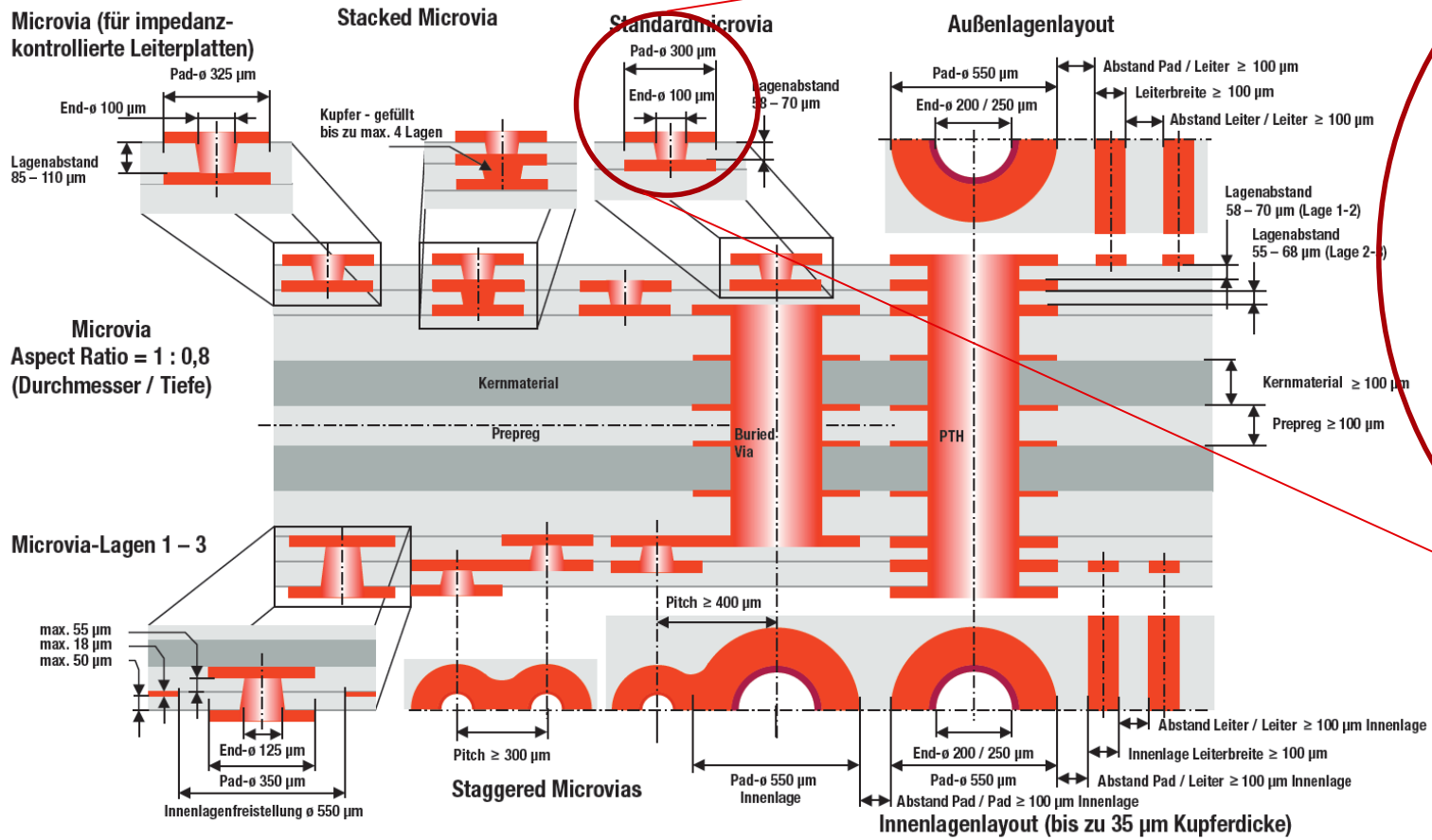
Welche Möglichkeiten gibt es zur Umsetzung?



Pitch [μm]	Pad [μm]	SM [μm]	Reststeg [μm]	uVia [μm]	Pad-Pad [μm]	L/S [μm]
350	240	50	10	85/215	110	15,71

DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Was ist möglich, was ist nicht möglich?



[Download hier](#)



DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Wo sind die Grenzen von MICROVIA.hdi?

- **Grenze Lötstopmmaske - WARUM?**
 - min. Stegbreite = 70 μm
 - min. Abstand Lötstoppsteg zu Pad-Kante = 35 μm

= in Summe: Padkante zu Padkante min. 140 μm , siehe Skizze rechts

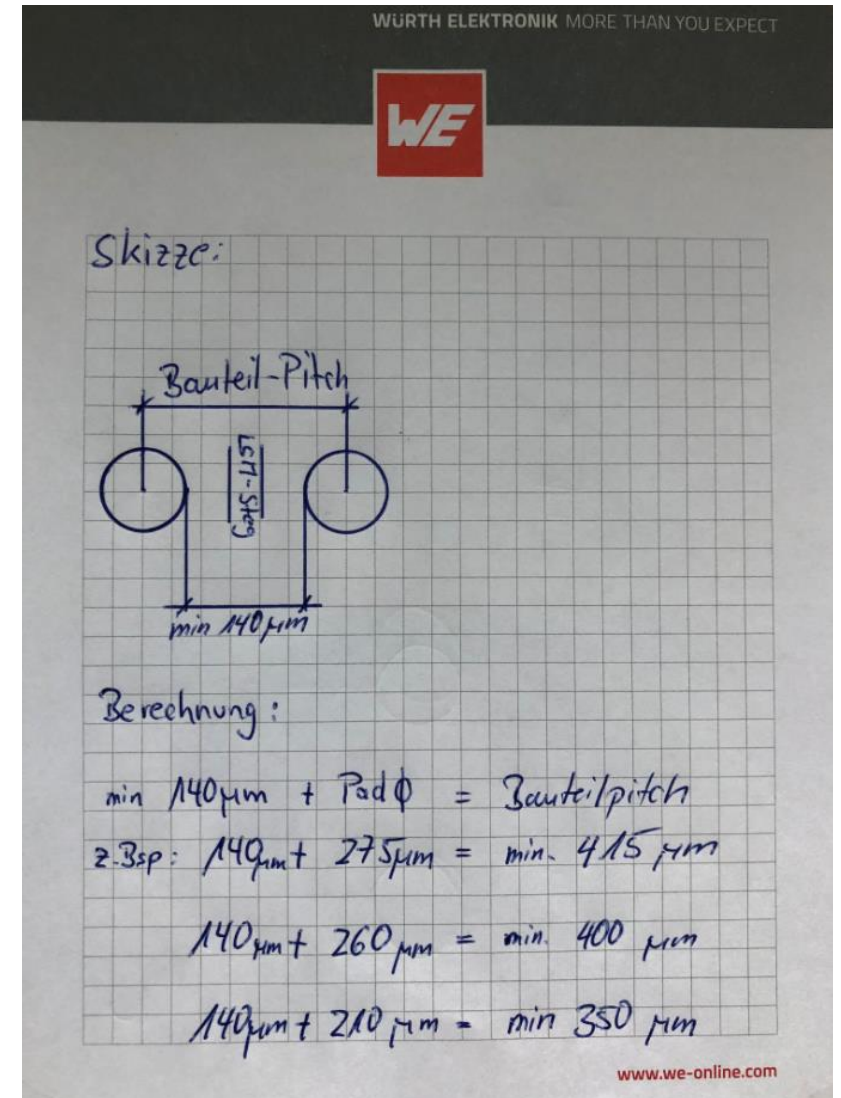
Beispiel: für einen 0,40 mm BGA-Pitch bedeutet dies:

- maximal möglicher Lötstoppsmaskensteg an der Engstelle:

400 μm (Pitch) – 275 μm (Pad) – 2x (35 μm (LSM-Freistellung))

= 50 μm Lötstoppsmaskensteg

Lötstopmmaske		
	Standard	Advanced
Freistellung	$\geq 50 \mu\text{m}$	35 μm
Leiterabdeckung	50 μm	40 μm
Lötstoppsmaskensteg	$\geq 70 \mu\text{m}$	-
Viafreistellung Durchmesser	Enddurchmesser +0,25 mm	



DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Designempfehlungen des Leiterplattenherstellers

- **Design Rules für das BGA-Bauteil auf der Außenlage**
 - BGA Lötpad = $\varnothing 215 \mu\text{m}$
 - $\mu\text{Via-in-Pad-Design}$ $\mu\text{Via}\varnothing$ typisch $85 \mu\text{m}$ (Dielektrikumsdicke $70 \mu\text{m} - 100 \mu\text{m}$)
- **Design Rules Lötstopmmaske für das BGA-Bauteil auf der Außenlage**
 - LSM – Freistellung Bauteilepad umlaufend = $35 \mu\text{m}$
 - LSM – Steg = $65 \mu\text{m}$


Rechnung dazu für ein BGA-Pitch 0,35 mm:

$215 \mu\text{m (Pad)} + (2 \times 35 \mu\text{m (LSM-Freistellung)}) + 65 \mu\text{m (LSM - Steg)}$

= 350 μm ✓

DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Stackup des Leiterplattenherstellers

customer	WE - SLIM.hdi_Webinar Mai 2023						 WÜRTH ELEKTRONIK MORE THAN YOU EXPECT
pcb name							
WE-number	xyz						
engineer	M. Kress						
date							
SLIM.hdi 1-2b-1							
PCB Thickness : 0,31 mm +/-0,05mm							
Rigid area Structure	Rigid area Thickness	Material description	rigid area	Viatypes	Layer usage	Impedance	
						Er	Z[Ohm] / Line / Space
	20	Soldermask photosensitive, flexible					
L1	30	9µm copper foil + plating	Top-Layer		S1		Zo[50] = 180 // Zdiff[100] = 90 / 75 // Zdiff[90] =
	30	Prepreg FR-4.1				2,9	
L2	25						
	100	Core FR-4.1					
L3	25				Ref1		
	30	Prepreg FR-4.1				3,8	
L4	30	9µm copper foil + plating	Bottom-Layer				
	20	Soldermask photosensitive, flexible				2,9	
Notes: Microvia execution stacked and staggered possible							

DIE ENTFLECHUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Herausforderung Impedanz

Coated Coplanar Strips With Ground 2B

Substrat 1 Dicke	H1	100,000
Substrat 1 Dielektrikum	Er1	3,8000
Substrat 2 Dicke	H2	55,0000
Substrat 2 Dielektrikum	Er2	2,9000
Untere Leiterbreite	W1	180,0000
Obere Leiterbreite	W2	170,0000
Breite unterer Massestreifen	G1	500,0000
Breite oberer Massestreifen	G2	500,0000
Separation Massestreifen	D1	100,0000
Leiterbahndicke	T1	30,0000
Lackdicke auf Substrat	C1	40,0000
Lackdicke auf Leiterbahn	C2	20,0000
Lackdicke zw. Leiterbahnen	C3	40,0000
Lack Dielektrikum	CEr	4,3000
Impedanz	Zo	52,14

Hinweise
Zo Top // Ref IL3

Einheiten
 Mil
 Zoll
 Mikrometer
 Millimeter

Interface-Type
 Standard

Edge-Coupled Coated Microstrip 2B

Substrat 1 Dicke	H1	100,0000
Substrat 1 Dielektrikum	Er1	3,8000
Substrat 2 Dicke	H2	55,0000
Substrat 2 Dielektrikum	Er2	2,9000
Untere Leiterbreite	W1	90,0000
Obere Leiterbreite	W2	80,0000
Leiterbahn Separation	S1	75,0000
Leiterbahndicke	T1	30,0000
Lackdicke auf Substrat	C1	40,0000
Lackdicke auf Leiterbahn	C2	20,0000
Lackdicke zw. Leiterbahnen	C3	40,0000
Lack Dielektrikum	CEr	4,3000
Differentielle Impedanz	Zdiff	100,10

Hinweise
Geben Sie Zusatzinformationen hier ein

Einheiten
 Mil
 Zoll
 Mikrometer
 Millimeter

Wichtig: Signallage Top / Referenzlage Inner2 bzw. Lage 3

DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Kurzer Blick auf die Zuverlässigkeit der Technologie: Qualifikations-Testergebnisse

Reflow

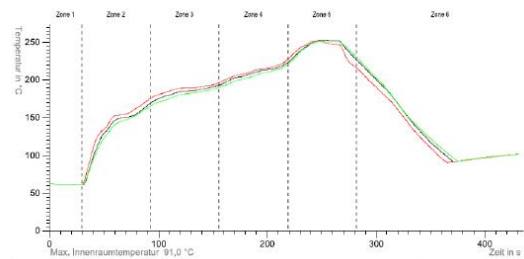


TESTS:

- Resistance to Soldering Heat acc. AEC-Q200 / MIL-Std 202 Method 210
- Solderability acc. AEC-Q200 / J-Std 002
- 5-times Reflow WE internal Standard

FACTS:

- Full Computer Controlled
- 4 heating zones with hot air circulation
- Zone 1: Preheat Zone
- Zone 2: Preheat Zone
- Zone 3: Stabilization Zone
- Zone 4: Soldering Zone
- Zone 5: Cooling Zone
- Transport system speed : 0.05 – 0.8 m/min



more than you expect

Temperature Test System VT7012-S2



TESTS:

- High Temperature Exposure acc. AEC-Q200 / MIL-Std 202 Method 108
- Thermal Shock acc. AEC-Q200 / JESD22 Method JA-104

FACTS:

- Cabinet volume of 120 l
- Dimensions: W470 x H410 x D650 mm
- Max. temperature change rate 11 K/min
- 2 chambers
- Cold chamber -> Temperature range -80 °C to +70 °C
- Warm chamber -> Temperature range -50 °C to +220 °C



more than you expect

Reflow Löttest: Trocknung vor Löttest 4h 120°C // Löttest Profil JEDEC O20C Peak 260°C // 6 Wiederholungen

TWT Schocktest: -55°C / +150°C // Verweilzeit -55°C 15 Minuten // Wechsel 15 Sekunden // Verweilzeit +150°C 15 Minuten

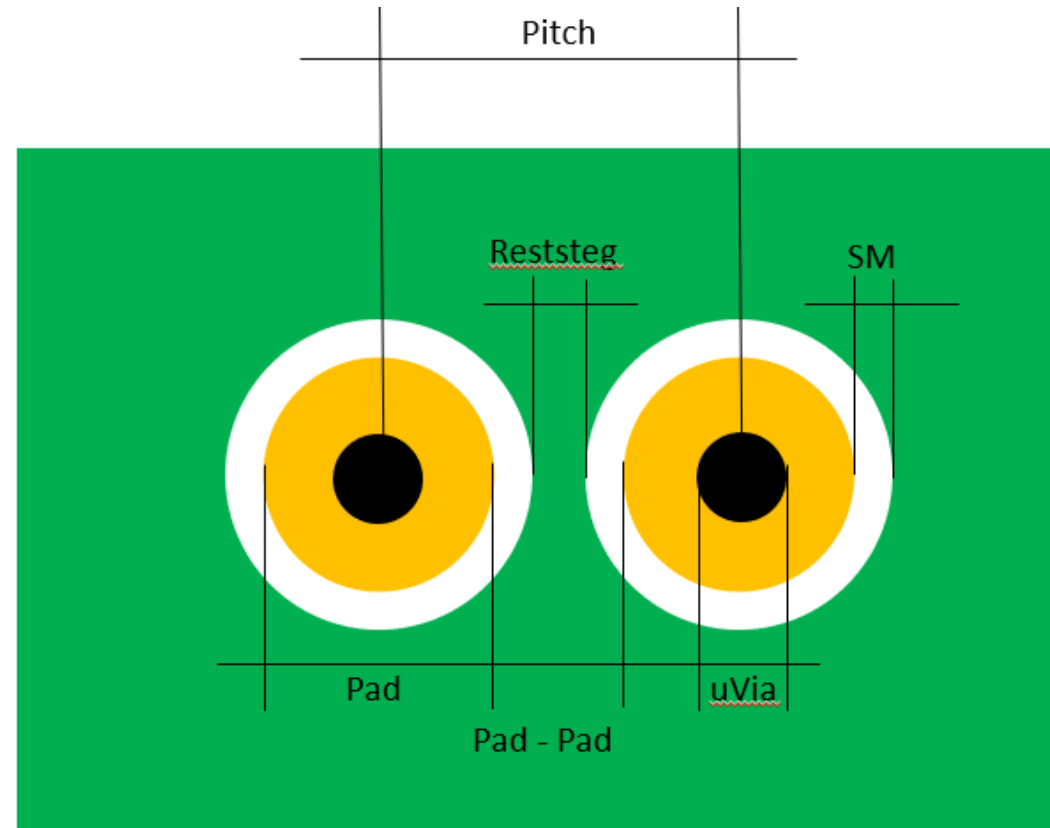
DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Anpassung der Parameter

- Modifizierte Designrules der Leiterplattenherstellers
 - Reduzierung des Paddurchmessers
 - Reduzierung des Lötstopprestegs
 - Verwendung von μ Vias im Pad
 - Anwendung von 75 μ m/75 μ m Lines-Space

Achtung!

Hier weicht man teils von den empfohlenen Bauteile-Herstellerangaben ab und sollte die Bestückung, Löt-technologie und Folgeprozesse genau durchleuchten.

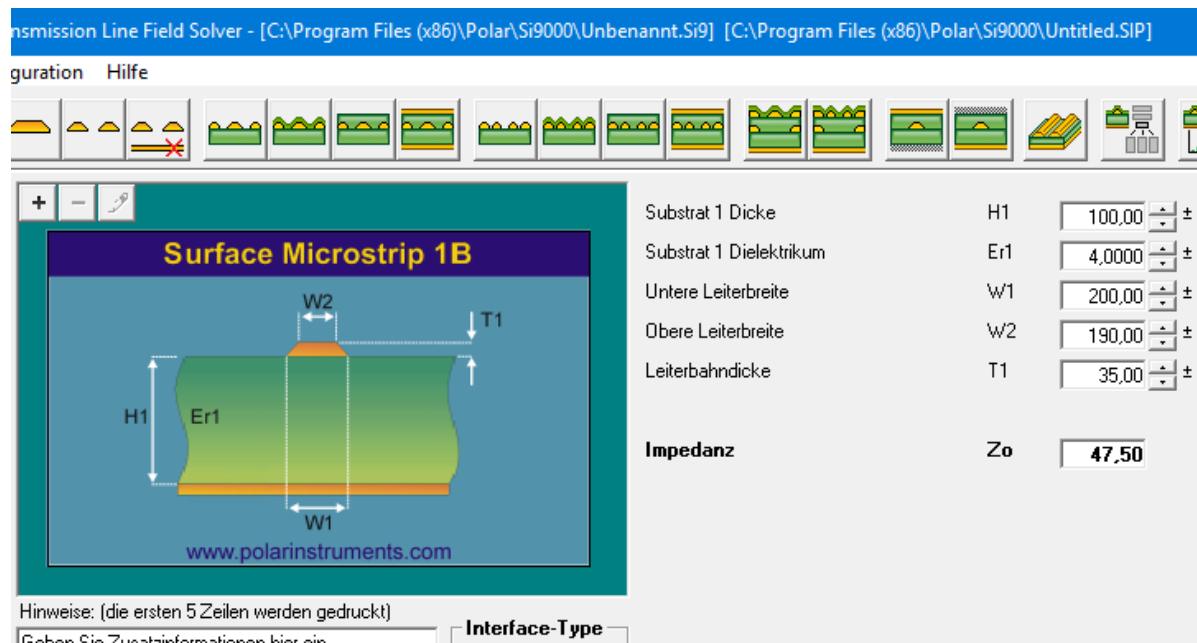


Pitch [μ m]	Pad [μ m]	SM [μ m]	Reststeg [μ m]	uVia [μ m]	Pad-Pad [μ m]	L/S [μ m]
350	215	35	65	85/215	135	75/75

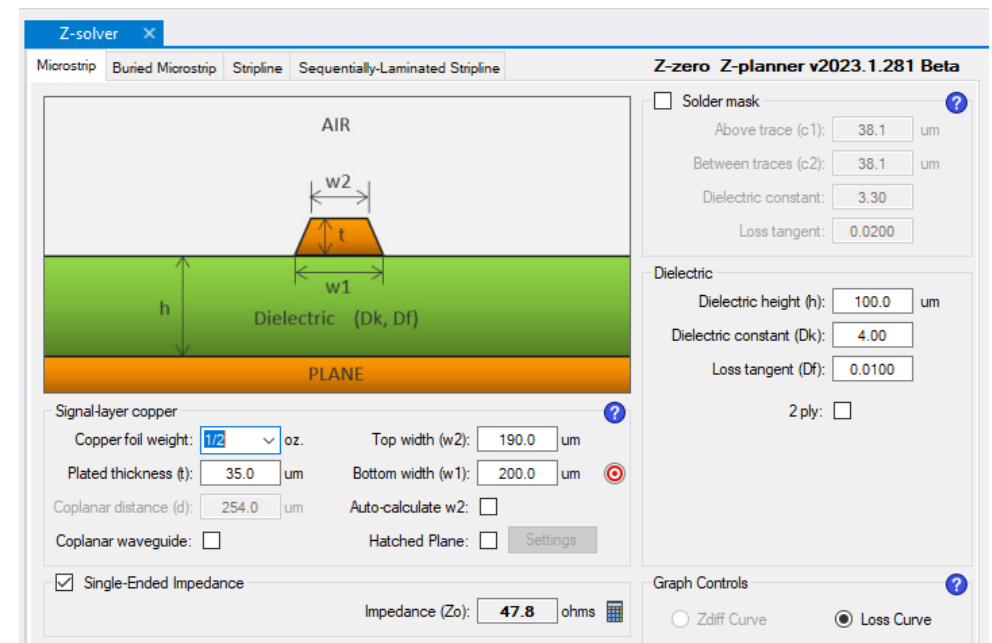
DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Impedanzkontrollierte Leitungen

- Zur Impedanz-Berechnung werden Breite des Kopf und Fuß der Leiterbahn angegeben.
- Welchen Wert gibt der Designer im Tool an?
-> nach IPC-Vorgabe wird der Fuß, also 200 μm angegeben, da dieser Parameter auch optisch kontrolliert werden kann



Screenshot von Polar SI9000

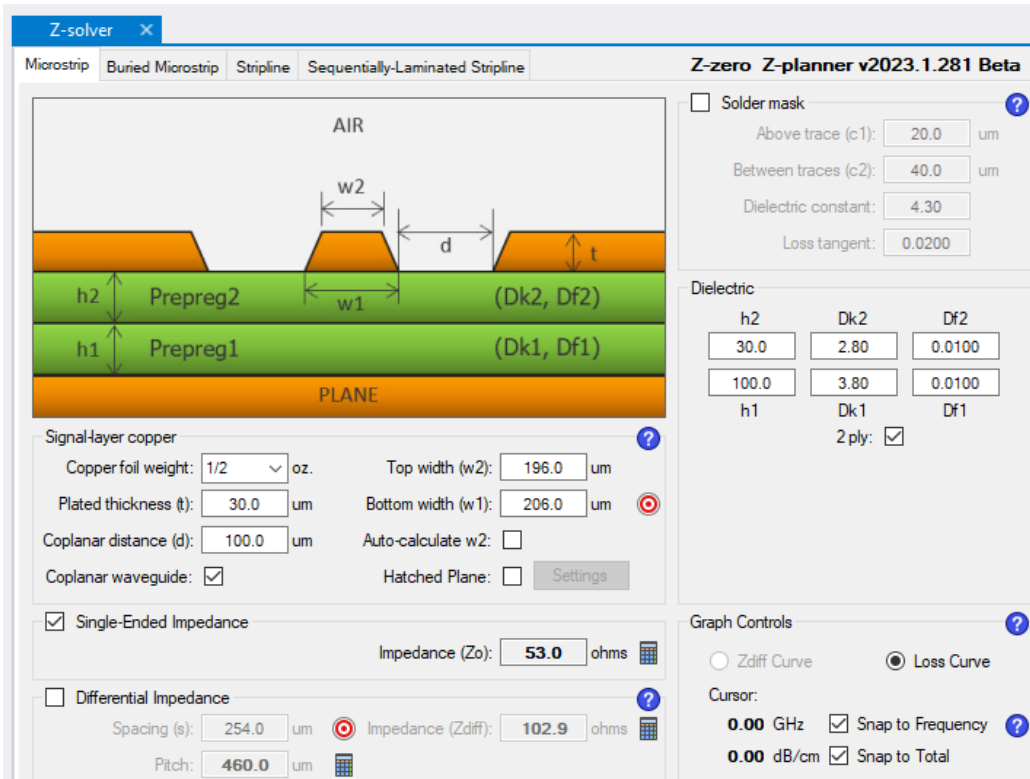


Screenshot von Siemens Z-Solver

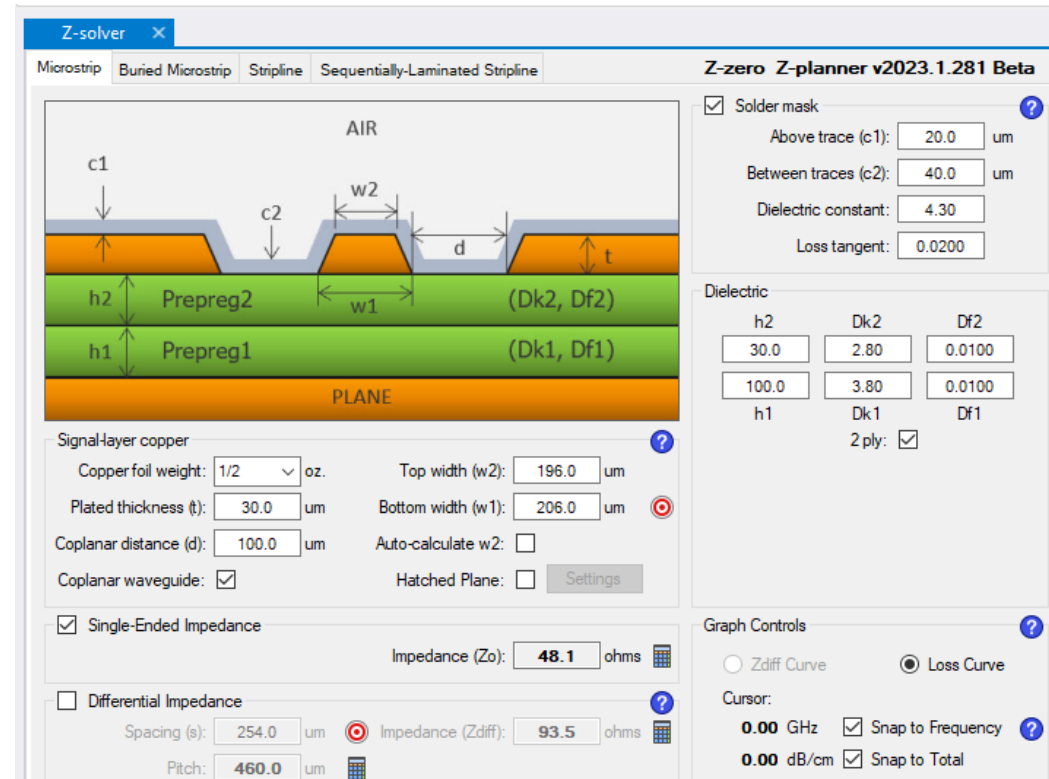
DIE ENTFLECHUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

50 Ohm Single-Ended (HF-Antennenzuleitung)

- hierbei muss beachtet werden ob die Leitung mit oder ohne Lötstopplack ausgelegt wird
- entsprechend müssen die Parameter noch angepasst werden um den genauen Wert zu erreichen



50 Ohm Single-Ended (ohne Lötstopplack) -> hier 53,0 Ohm

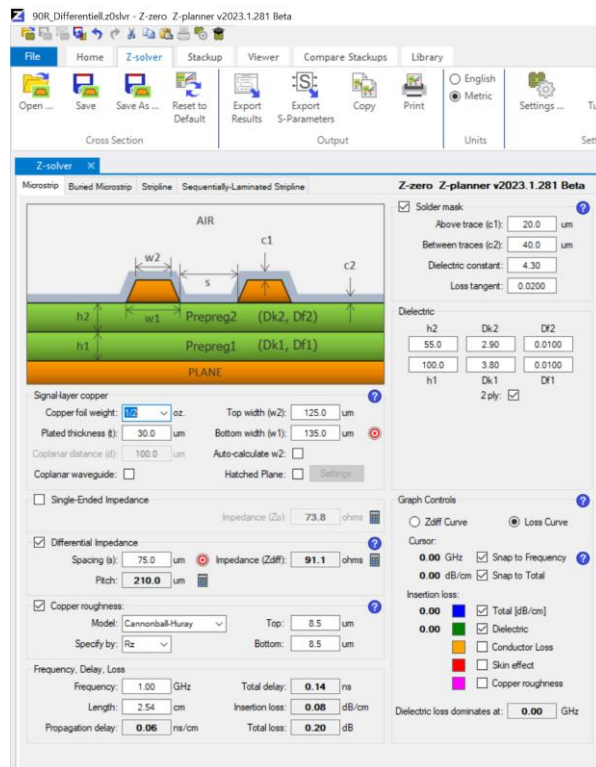


50 Ohm Single-Ended (mit Lötstopplack) -> hier 48,1 Ohm

DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Beispiel 90 Ohm differenzielle Leitungspaare

- Für 90 Ohm-Leitungen entspricht die Leiterbahnbreite aus der Berechnung ca. 135 μm und muss im EDA-Tool eingetragen werden.
- Durch den Ätzwinkel (Trapezform) ergibt sich bei 135 μm am Fuß, also der dem Laminat zugewandten Seite. Der Leiterbahnkopf hat dann eine Breite von ca. 125 μm .
- Um einen Ätzausgleich zu bekommen, addiert die CAM des Leiterplattenherstellers ca. 30 μm dazu. Somit werden für die Belichtung 165 μm im Fotoresist eingestellt.



diff. 90 Ohm-Leitungen im Z-Solver

The diagram shows a cross-section of an edge-coupled coated microstrip structure. The parameters are defined as follows:

Parameter	Symbol	Value
Substrat 1 Dicke	H1	100,0000
Substrat 1 Dielektrikum	Er1	3,8000
Substrat 2 Dicke	H2	55,0000
Substrat 2 Dielektrikum	Er2	2,9000
Untere Leiterbreite	W1	135,0000
Obere Leiterbreite	W2	125,0000
Leiterbahn Separation	S1	75,0000
Leiterbahndicke	T1	30,0000
Lackdicke auf Substrat	C1	40,0000
Lackdicke auf Leiterbahn	C2	20,0000
Lackdicke zw. Leiterbahnen	C3	40,0000
Lack Dielektrikum	CEr	4,3000
Differentielle Impedanz	Zdiff	90,25

The diagram also includes a 'Hinweise' section with the text 'Geben Sie Zusatzinformationen hier ein' and a 'Einheiten' section with radio buttons for Mil, Zoll, Mikrometer (selected), and Millimeter.

diff. 90 Ohm-Leitungen in SI9000

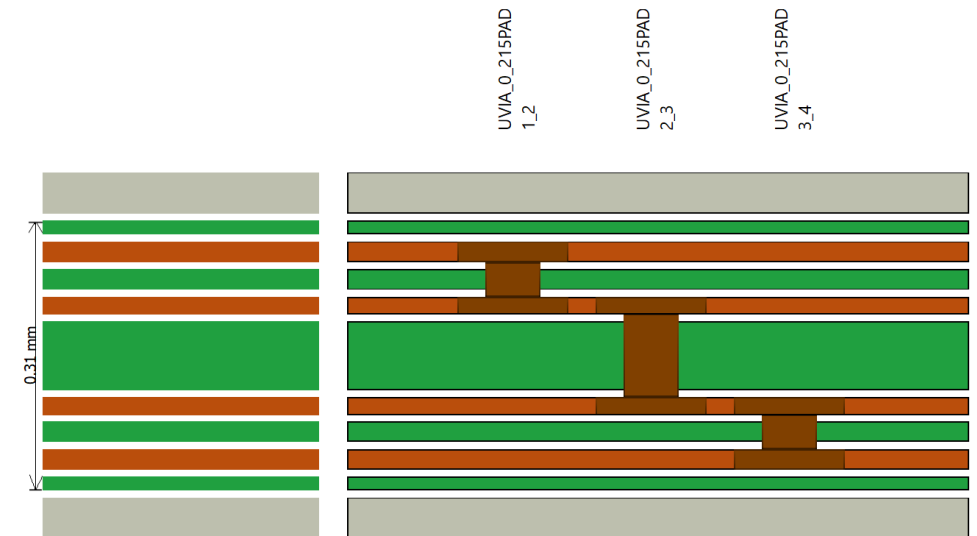
DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Lagenaufbau im Tool (am Beispiel Allegro/Orcad)

Primary										
Row No.	Objects		Types		Thickness	Physical		Embedded	Signal Integrity	
	#	Name	Layer	Layer Function	Value mm	Layer ID	Material	Embedded Status	Conductivity mho/cm	Dielectric Constant
*	*	*	*	*	*	*	*	*	*	*
1			Surface							1
2			Dielectric	Dielectric	0.02		Soldermask		0	4.3
3	1	TOP	Conductor	Conductor	0.03	1	Copper	Not embedded	596000	1
4			Dielectric	Dielectric	0.03		Fr-4		0	2.9
5	2	LAYER2	Conductor	Conductor	0.025	2	Copper	Not embedded	596000	1
6			Dielectric	Dielectric	0.1		Fr-4		0	3.8
7	3	LAYER3	Conductor	Conductor	0.025	3	Copper	Not embedded	596000	1
8			Dielectric	Dielectric	0.03		Fr-4		0	2.9
9	4	BOTT...	Conductor	Conductor	0.03	4	Copper	Not embedded	596000	1
			Dielectric	Dielectric	0.02		Soldermask		0	4.3
			Surface							1

- Lagenaufbau mit materialspezifischen Parametern wie ϵ_r , Kupfer- und Prepreg-Stärke aus den Vorgaben des Leiterplattenherstellers übernommen.
- Im Idealfall lässt sich der Lagenaufbau in digitaler Form von der Homepage für das jeweilige Tool downloaden.

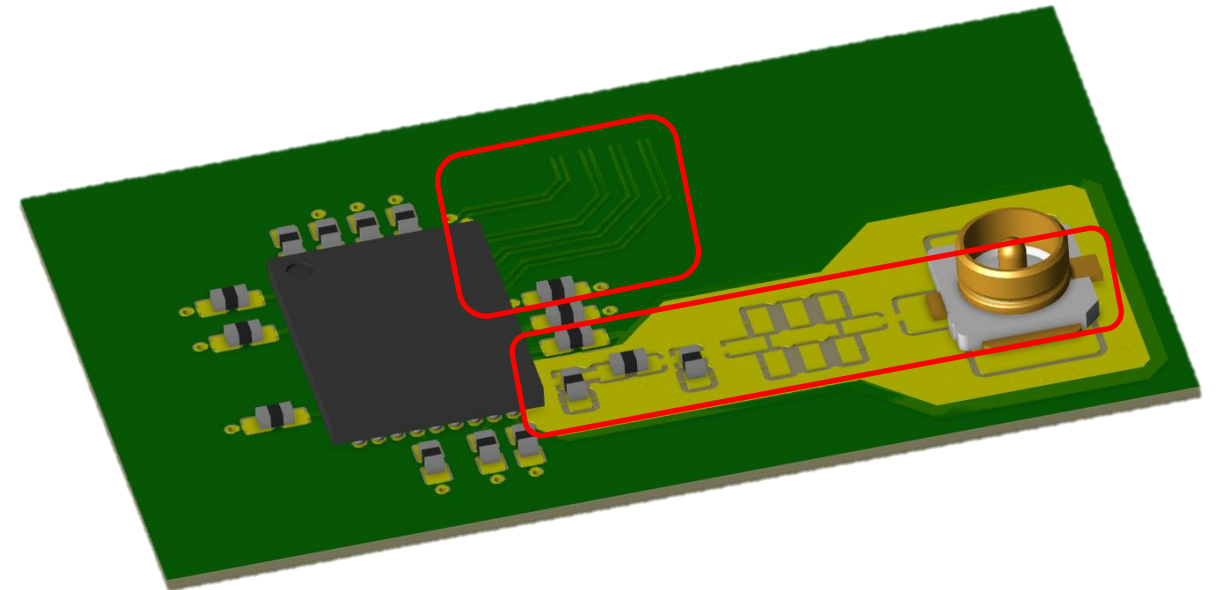
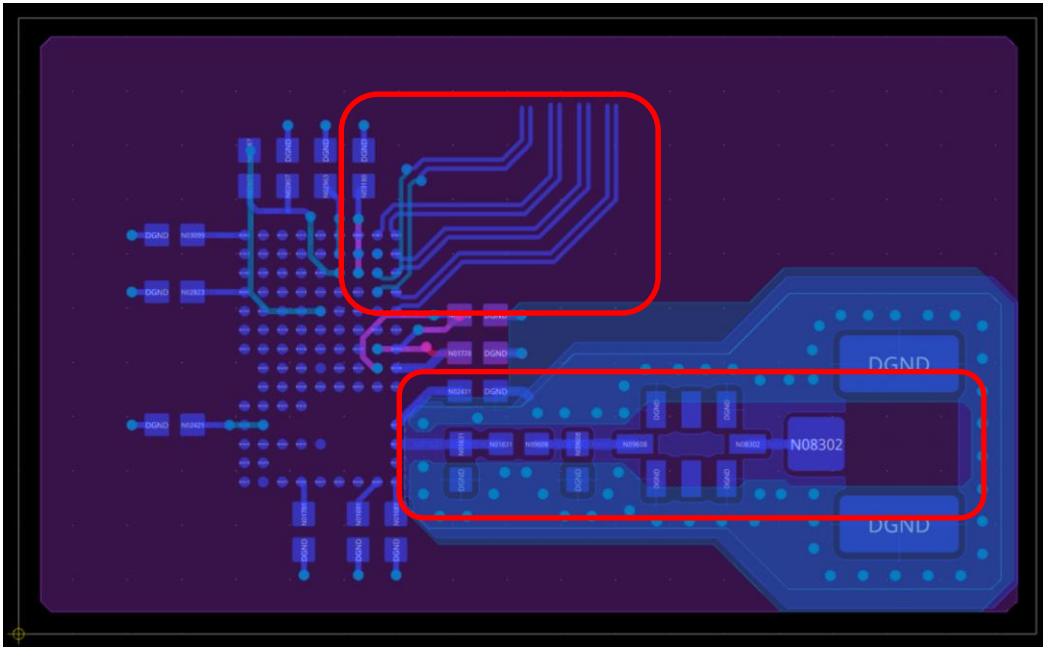
- Strategie der copper filled Microvias
- durch die Kupfer-Fülltechnologie können die Vias staggered oder stacked eidesigt werden



DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Demo-Anordnung einiger Komponenten

- BGA-Bauteil mit 350 μm Pitch und Außenbeschaltung

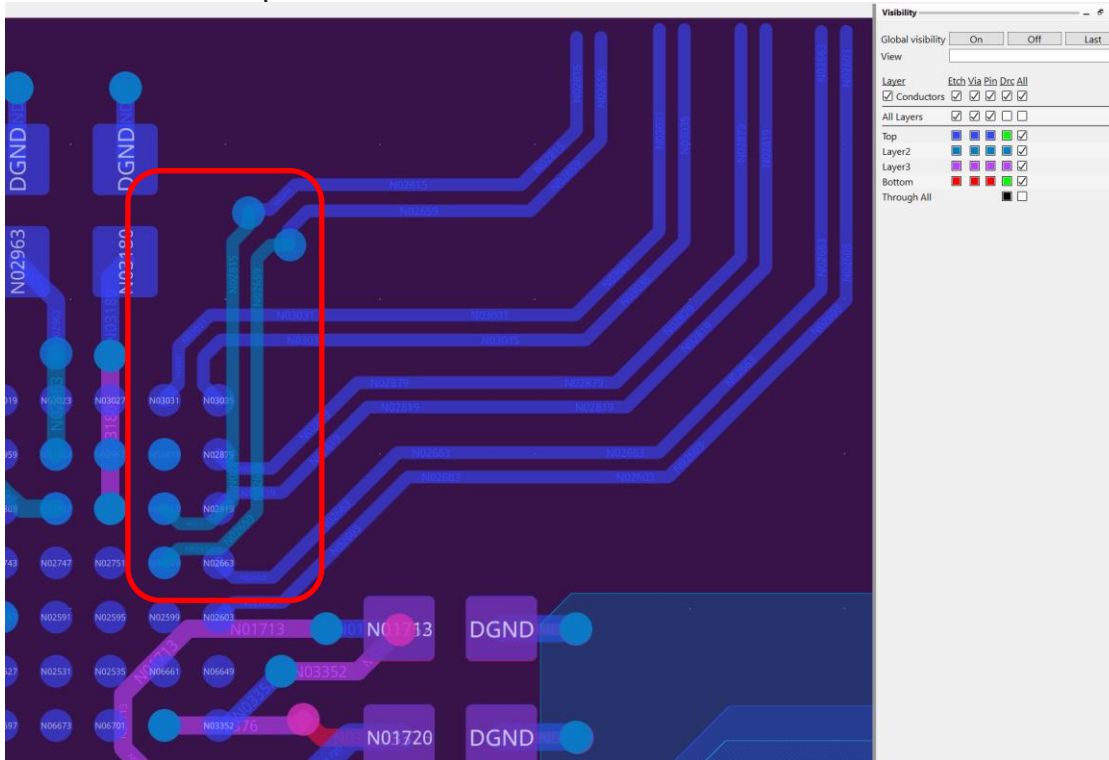


- differenzielle 90 Ohm Impedanzen
- Single-Ended 50 Ohm Leitungen als Antennenzuleitung von Lötstopplack freigestellt

DIE ENTFLECHUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Lagenwechsel bei differenzielle Leitungen

- um die Leitungspaare aus dem inneren Bereich des BGAs zu routen muss ein Lagenwechsel auf Layer 2 durchgeführt werden
- hierdurch wird der Abstand zur Bezugslage reduziert, wodurch sich die Impedanz reduziert

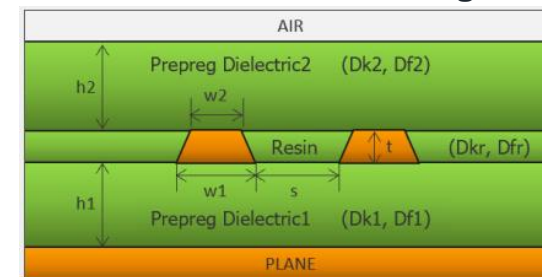


Ausschnitt aus Demo-Anordnung

Row No.	Objects		Types		Thickness	Physical		Embedded	Signal Integrity	
	#	Name	Layer	Layer Function	Value mm	Layer ID	Material	Embedded Status	Conductivity mho/cm	Dielectric Constant
*	*	*	*	*	*	*	*	*	*	*
1			Surface							1
2			Dielectric	Dielectric	0.02		Soldermask		0	4.3
3	1	TOP	Conductor	Conductor	0.03	1	Copper	Not embedded	596000	1
4			Dielectric	Dielectric	0.03		Fr-4		0	2.9
5	2	LAYER2	Conductor	Conductor	0.025	2	Copper	Not embedded	596000	1
6			Dielectric	Dielectric	0.1		Fr-4		0	3.8
7	3	LAYER3	Conductor	Conductor	0.025	3	Copper	Not embedded	596000	1
8			Dielectric	Dielectric	0.03		Fr-4		0	2.9
9	4	BOTT...	Conductor	Conductor	0.03	4	Copper	Not embedded	596000	1
			Dielectric	Dielectric	0.02		Soldermask		0	4.3
			Surface							1

da der Lagenaufbau der Leiterplatte symmetrisch ist, bleiben zwei Lösungsmöglichkeiten:

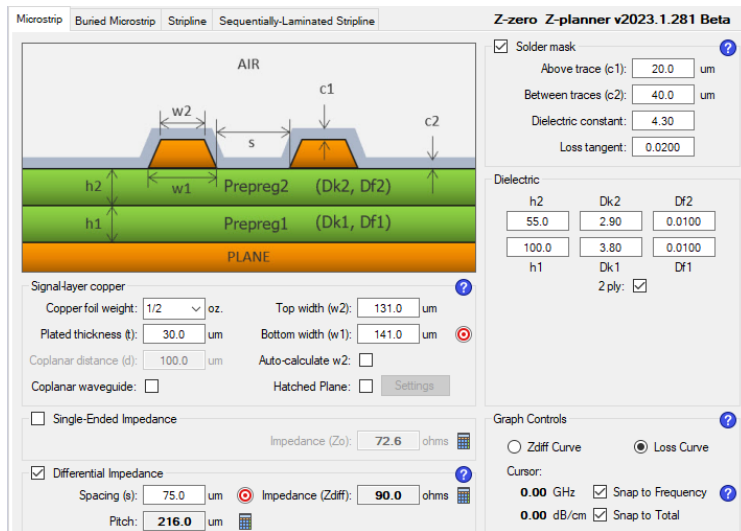
- man passt die Leiterbahnbreite und den Abstand an um die benötigte Impedanz zu erreichen
- man verwendet als Bezugslage den Bottom-Layer, muss hierbei aber beachten, dass man eine Buried Microstrip-Struktur erzeugt und somit weitere Parameter berücksichtigen muss



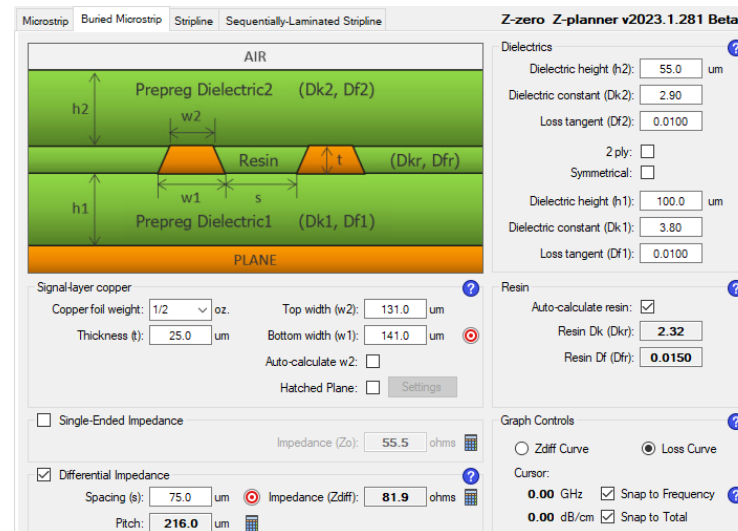
DIE ENTFLECHUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Impedanzmodul 90 Ohm differenziell

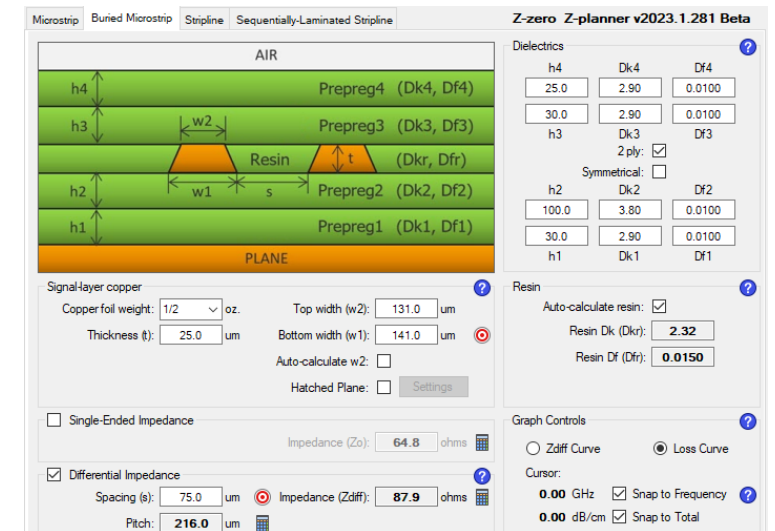
- Um ein Gefühl für die Impedanzänderungen zu bekommen wird das differenzielle 90 Ohm Microstrip-Modul in ein Buried Microstrip-Modul mit Bezug zum Layer 3 (100 µm Abstand) und ein Buried Microstrip-Modul mit Bezug zum Bottom-Layer (130 µm Abstand). Die Line-Space Parameter bleiben bestehen.



ursprüngliches Impedanzmodul (90 Ohm)



Buried Impedanzmodul mit reduziertem Abstand (81,9 Ohm)



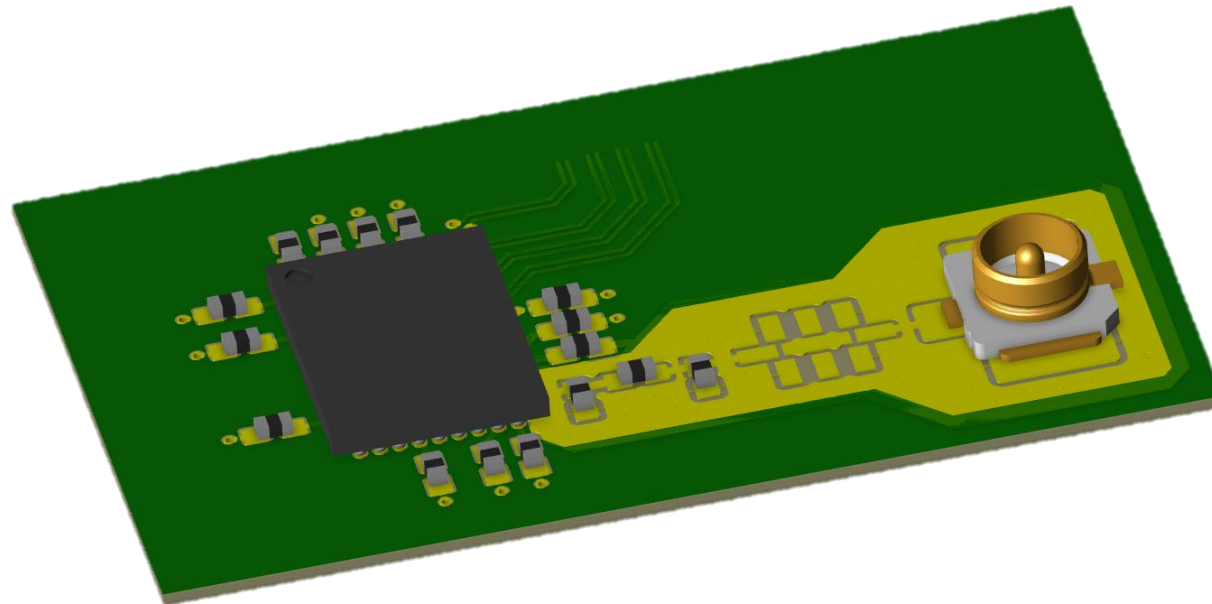
Buried Impedanzmodul mit 130 µm Abstand (87,9 Ohm)

- Wie man den Ergebnissen entnehmen kann hat der Abstand zur Bezugslage einen größeren Einfluss auf die Impedanz als die Überdeckungshöhe mit Harz/Glasgewebe.

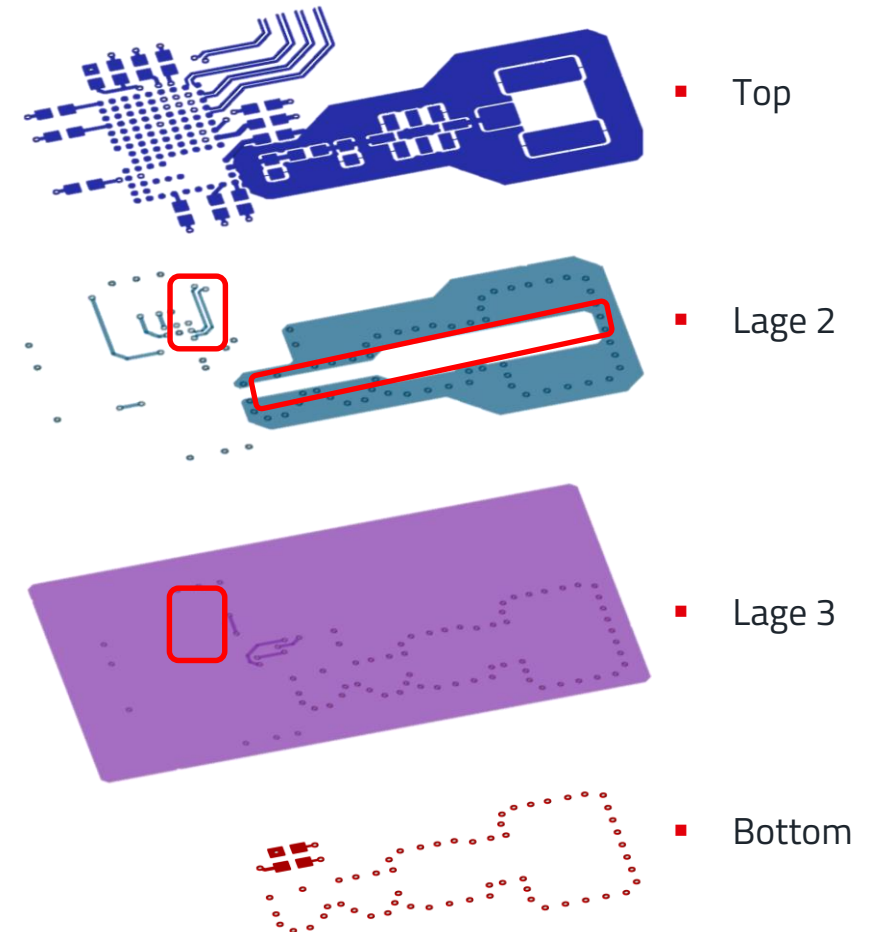
DIE ENTFLECHUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Legendarstellung der Demo-Anordnung

- In der Darstellung der einzelnen Lagen erkennt man auf Lage 2 die Aussparung, die benötigt wird, um Lage 3 als Referenz
- In einem weiteren Schritt müsste der Bereich unter dem differenziellen Leitungspaar auf Lage 2 in Lage 3 freigestellt werden und auf der Bottom-Lage eine Bezugsplane eingefügt werden. Hierbei sind dann noch die Line-Space-Parameter nach den Simulationsergebnissen anzupassen.





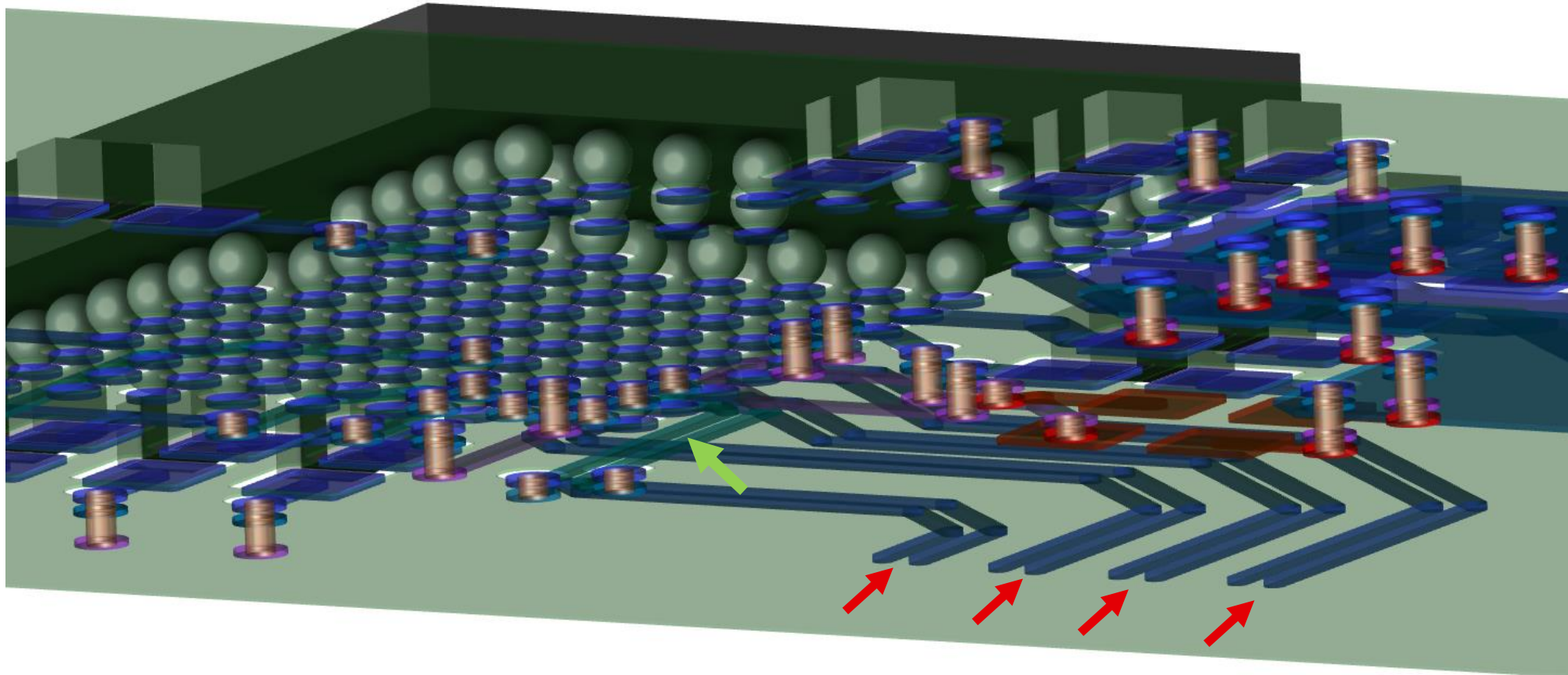
Demo-Anordnung



DIE ENTFLECHTUNG EINES BGA-PITCH 0,35 mm – SO GEHT ES!

Routing unter dem BGA

- gestackte Micro-Vias
- differenzielle Leitungen auf Top 
- differenzielle Leitungen auf Layer 2 



VIELEN DANK FÜR IHRE AUFMERKSAMKEIT

Die Entflechtung eines BGA-Pitch 0,35mm –
so geht es!