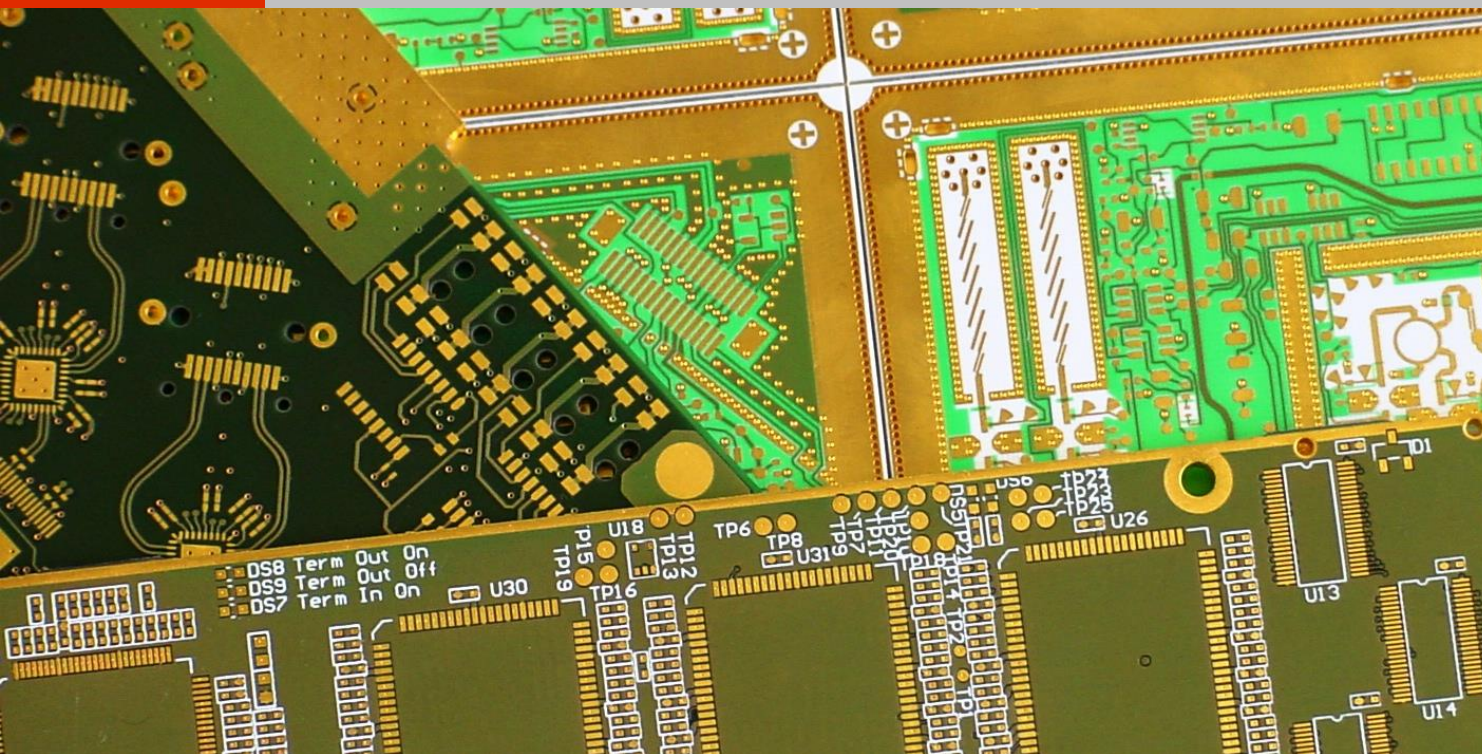


Webinar 2013: Verbesserte Signalintegrität durch impedanzangepasste Leiterplatten

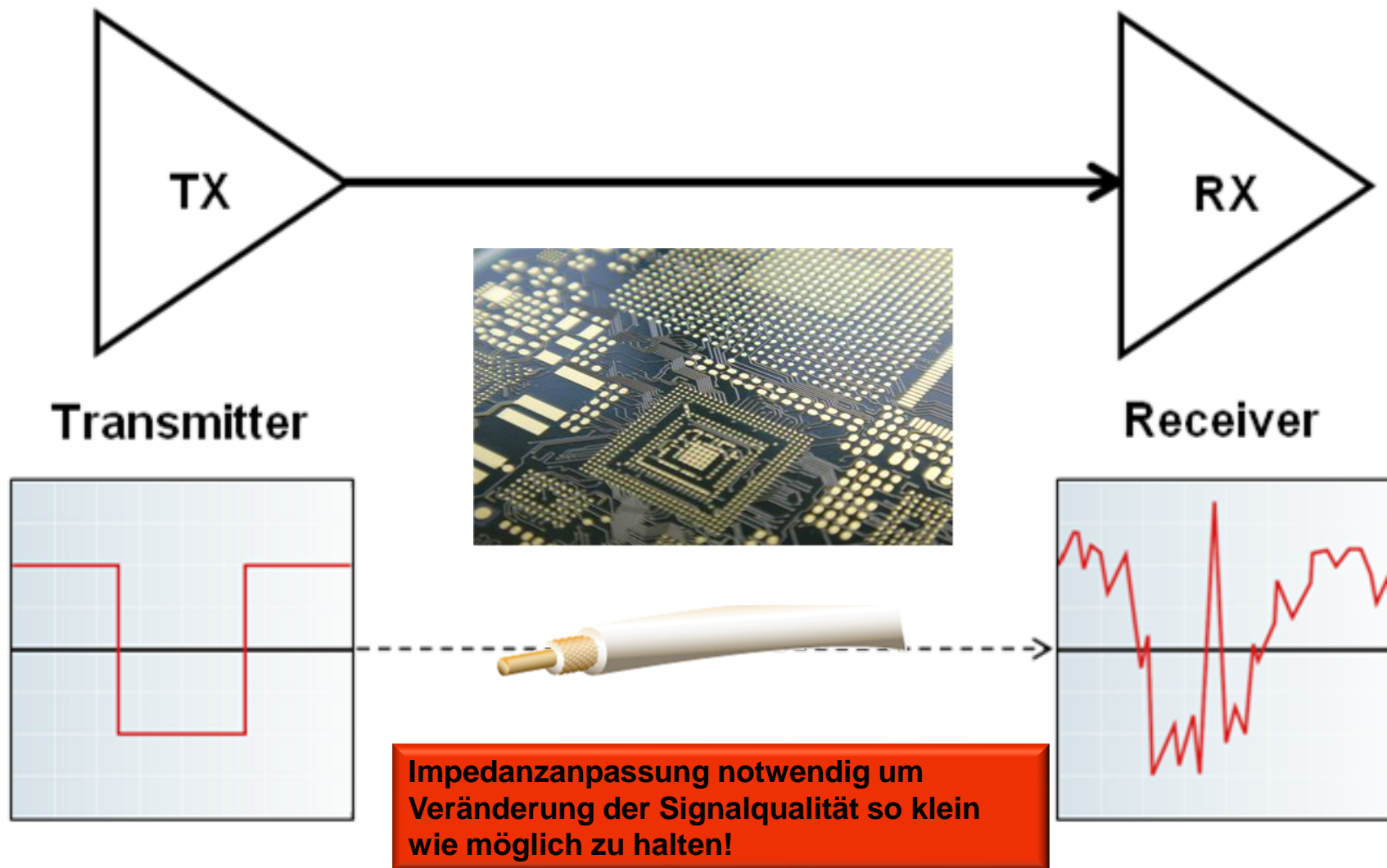
Würth Elektronik Circuit Board Technology



Agenda

- S** Impedanz und Leiterplatte
- I** Materialaspekte/ parameter
- G** Impedanzberechnung
- N** Lagenaufbauten
- A** Impedanz und HDI (EMV)
- L** Hochfrequenz - Midperformance Material

Leiterplatte und Impedanz



Leiterplatte und Impedanz

Jede Leiterplatte besitzt einen ohmschen, kapazitiven und induktiven Anteil

kein optimales Übertragungsmedium zwischen Sender und Empfänger

Veränderung des Signals in der Leiterplatte wird von folgenden Parametern beeinflusst

Länge des Leiters

Basismaterial - Verlustfaktor und Dielektrizitätskonstante

Reflektionen aufgrund von DK - Bohrungen

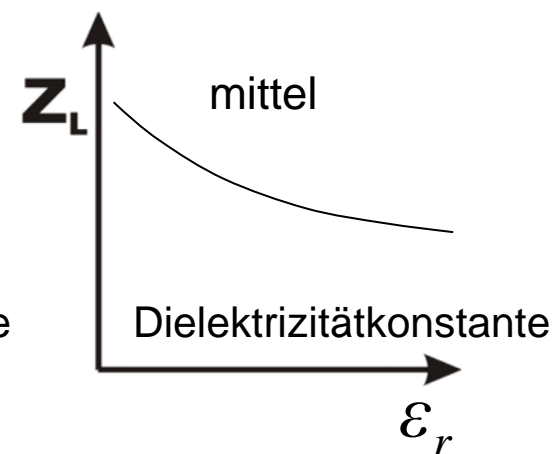
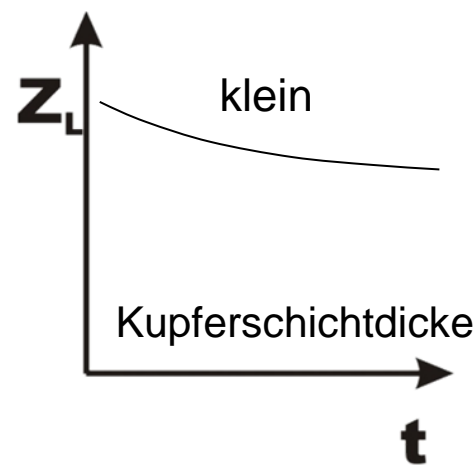
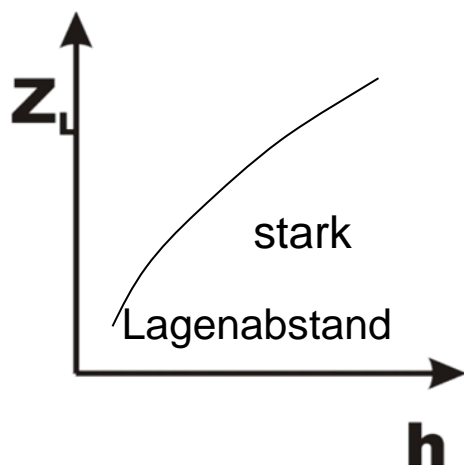
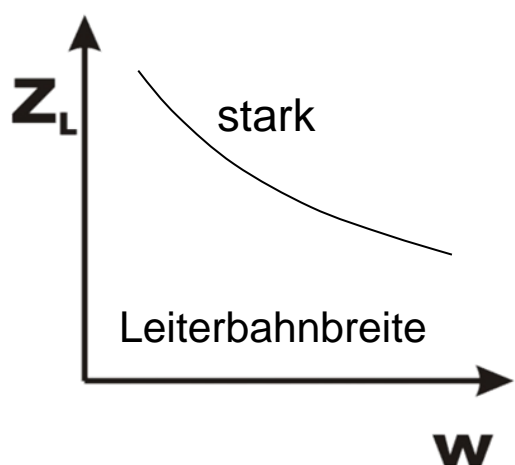
Impedanzanpassung

Übersprechen zwischen Leitern (crosstalk)

Störeinstrahlung von externen Quellen (EMV Abschirmung)

Wichtige Parameter

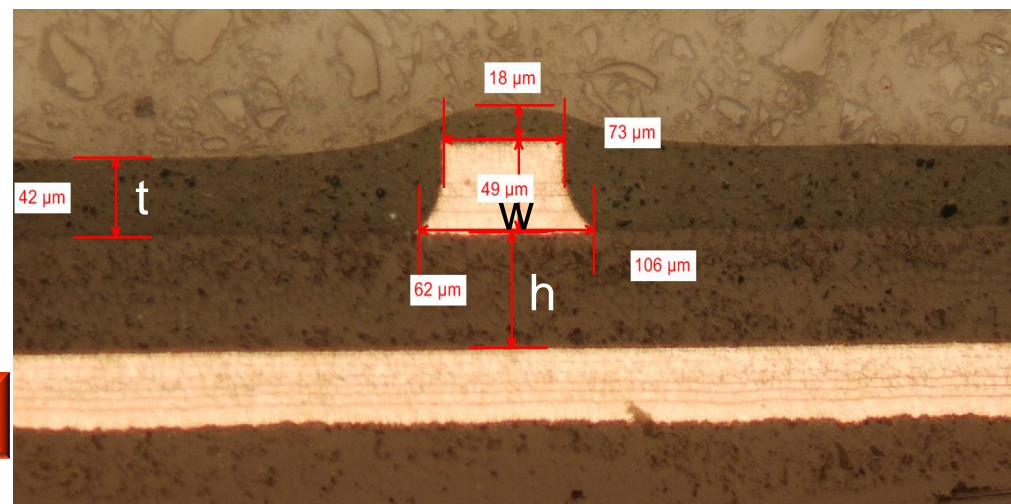
Impedanz - Einflussgrößen



**w+h = Layouter / Entwickler
+ Leiterplattenhersteller**

t = Galvanikprozess, Basiskupfer

ϵ_r = Basismaterial

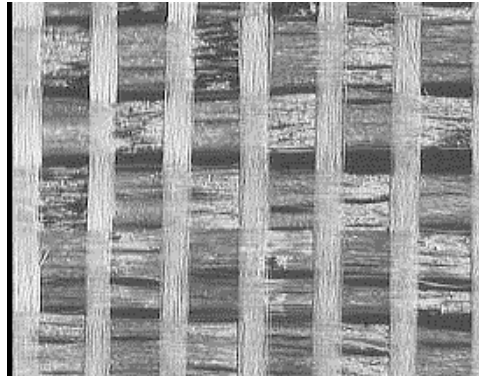


Unser Angebot: kompetente Zusammenarbeit!

Materialparameter Epsilon R

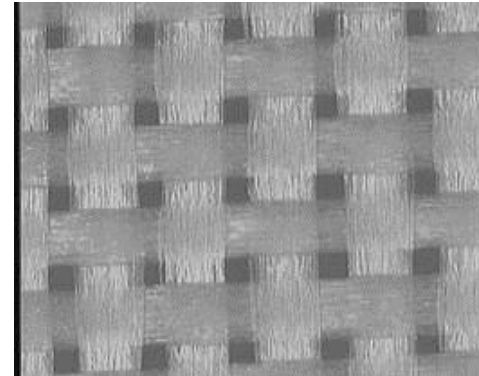
FR4 Prepreg **Typ 106**

Dicke 50 μm
 $\epsilon_r = 2,8 - 3,7$
 Harzanteil ~70%



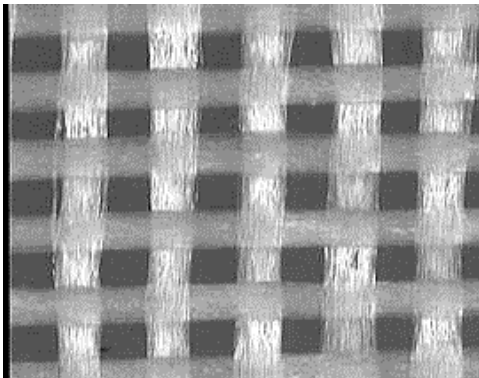
FR4 Prepreg **Typ 2116**

Dicke 90 – 110 μm
 $\epsilon_r = 3,6 - 3,8$
 Harzanteil ~50%



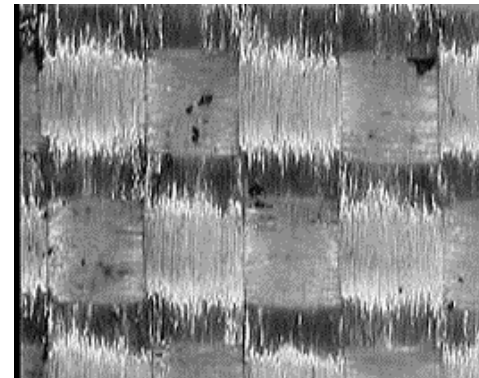
FR4 Prepreg **Typ 1080**

Dicke 60 - 70 μm
 $\epsilon_r = 3,2 - 3,7$
 Harzanteil ~60%



FR4 Prepreg **Typ 7628**

Dicke 170 – 190 μm
 $\epsilon_r = 4,1 - 4,6$
 Harzanteil ~45%

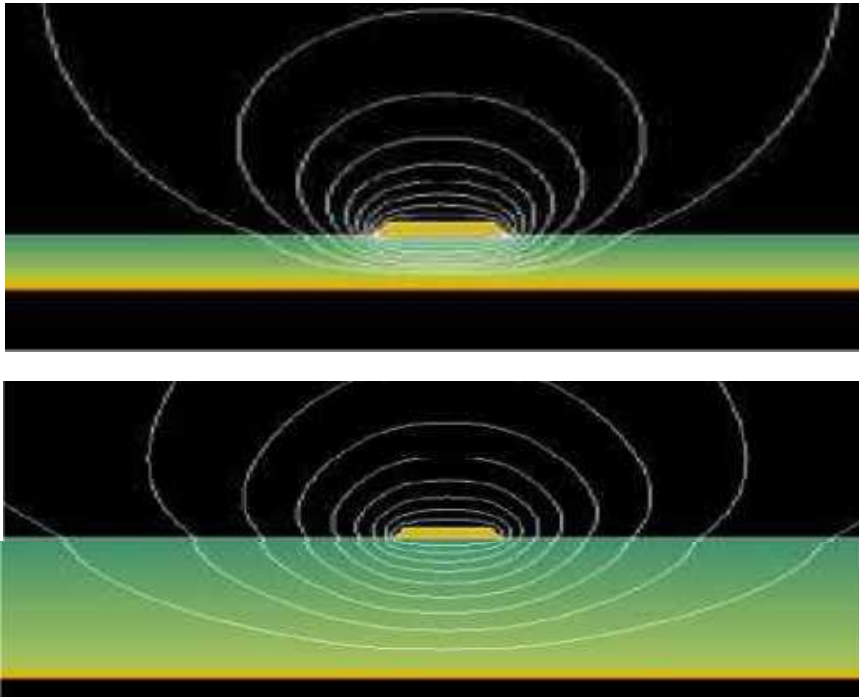


Glass $\epsilon_r \sim 6,1$ / Harz $\epsilon_r \sim 3,2$

Kerne sind laminierte Prepregs mit Kupferfolie.

Epsilon R

Dielektrische Verluste



Einflüsse:

- Lagenabstand
- Frequenz

Auswirkungen auf Wellenwiderstand und Flankensteilheit ...

ϵ_r Werte in Abhängigkeit vom Lagenabstand FR4

(verlustbehaftestes ϵ_r)

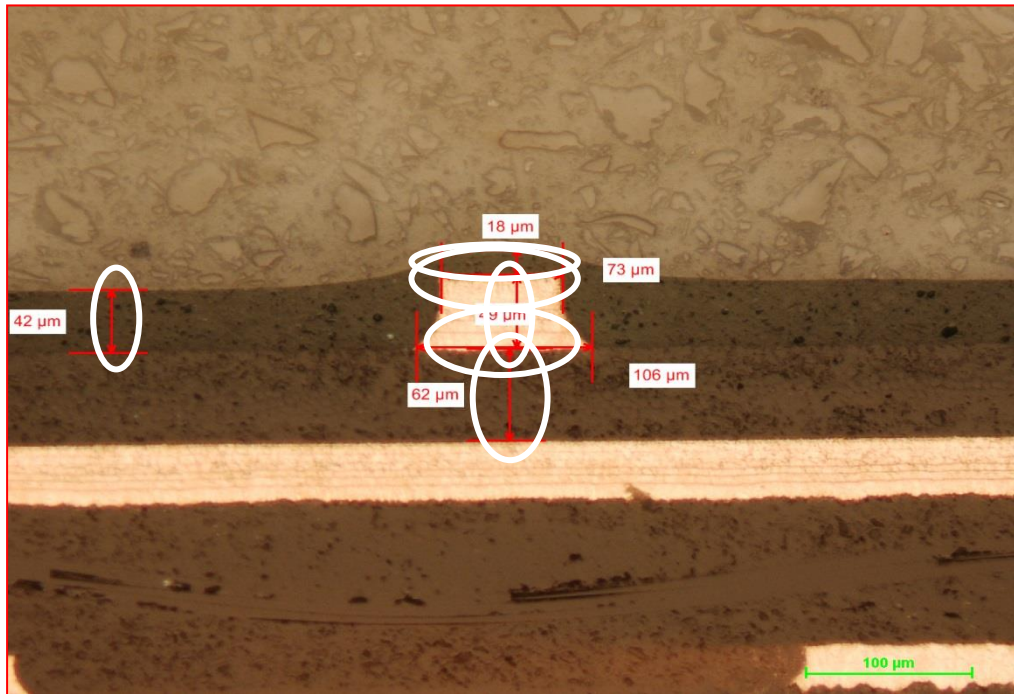
Prepreg	1080	2 x 1080	3 x 1080	2116	2 x 2116	3 x 2116
Tg 135	3.2	3.5	3.6	3.6	3.9	4.7
Tg 150 hf	3.5	3.7	3.9	3.8	4.3	4.6

Kerne	60 μm	100 μm	150 μm	250 μm	510 μm	710 μm
Tg 135	3.2	3.5	3.6	3.6	3.9	4.7
Tg 150 hf	3.5	3.7	3.9	3.8	4.3	4.6



Effektives ϵ_r

Ermittlung ϵ_r effektiv



Berechnung des ϵ_r anhand der Schliffbilder mit Polar Software

H1 Lagenabstand

W1 Leiterbahnbreite Fuss

W2 Leiterbahnbreite Kopf

T1 Kupferschichtdicke

C1 Lötstopplack auf Substrat (FR4)

C2 Lötstopplack auf Leiterbahn

C_{Er} Dielektrikum Lack (Herstellerangabe)

www.polarinstruments.com

Substrat 1 Dicke	H1	62,0000
Substrat 1 Dielektrikum	Er1	3,1885
Untere Leiterbreite	W1	106,0000
Obere Leiterbreite	W2	73,0000
Leiterbahndicke	T1	49,0000
Lackdicke auf Substrat	C1	42,0000
Lackdicke auf Leiterbahn	C2	18,0000
Lack Dielektrikum	C _{Er}	3,5000
Impedanz	Z ₀	49,99

Er Dielektrikum



Lagenabstände



Layout gegen Plane oder Folie

Prepreg	17 μm Kupfer	35 μm Kupfer
1 x 1080	65 μm	60 μm
2 x 1080	134 μm	128 μm



Layout gegen Layout

Prepreg	17 μm Kupfer	35 μm Kupfer
2 x 1080	128 μm	120 μm



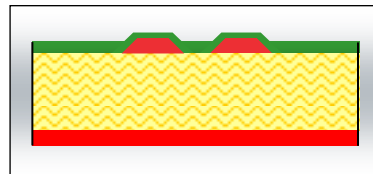
Plane gegen Plane oder Folie

Prepreg	17 μm Kupfer	35 μm Kupfer
1 x 1080	70 μm	68 μm
2 x 1080	140 μm	136 μm

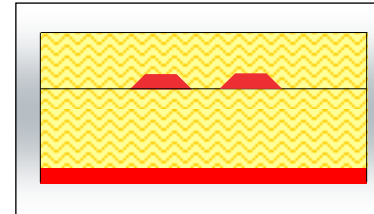
Modelle

Lagen / Leiterbahn Konfiguration

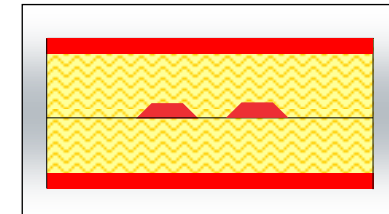
Lagen Konfiguration:



Surface Microstrip

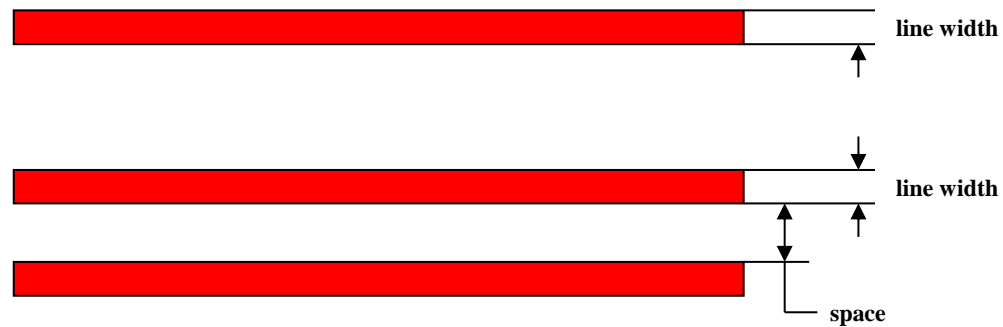


Embedded Microstrip



Stripline

Leiterbahn Konfiguration:



Single

Differential

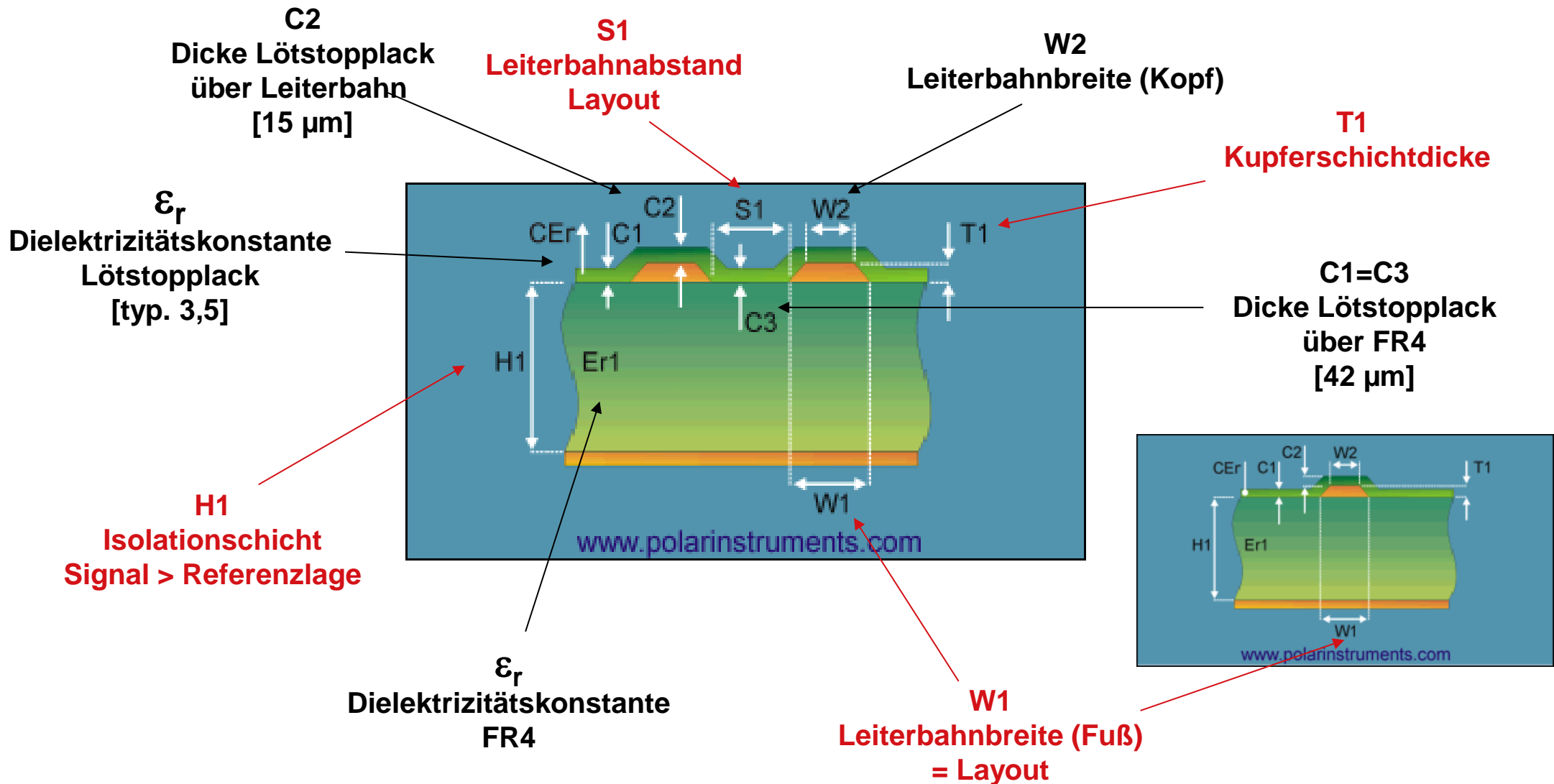
Coplanar

Es erfolgt eine Umfrage

→ UMFRAGE

Welche Parameter haben den größten Einfluss auf die Impedanz einer Leiterbahn?

Parameter bei der Impedanzberechnung



Service „impedanzdefinierte Lagenaufbauten“

Notwendige Informationen:

• **Typ Lagenaufbau:** Standard <>HDI / Viatypen

• **Anzahl Lagen**

• **LP – Dicke** (Messstelle falls nicht Gesamtdicke)

• **Kupferschichtdicken** (insbesondere Innenlagen)

• **Lagenreihenfolge:** Wo sind Signallagen, wo die dazugehörigen Masse = Referenzlagen
• **Anzahl Signal und Anzahl Referenzlagen** (Gnd, Power, VCC)

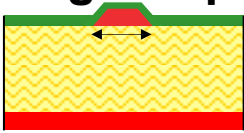
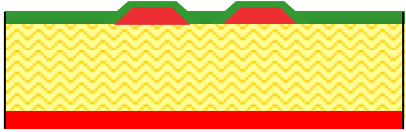
• **Impedanzanforderungen** (Single z.B. 50 Ohm) (Differenziell z.B. 90 und 100 Ohm)

• **Welche Leiterbahnbreiten und Leiterbahnabstände gewünscht / möglich?**

Impedanzberechnung

Microstrip Außenlage

Prepregs: TG 150°, gefüllt, halogenfrei

Prepreg (je 1 mal)	1080	2113	2116
Lagenabstand über Masselage <small>(verpresste Dicke, 35 μm Kupfer L2)</small>	68 μm ϵ_r effektiv 3.5	92 μm ϵ_r effektiv 3.6	108 μm ϵ_r effektiv 3.8
LB-Breite 50 Ω Single Impedanz 	109 μm <small>(mit $\epsilon_{r4.2}$: 94 μm)</small>	154 μm <small>(mit $\epsilon_{r4.2}$: 136 μm)</small>	179 μm <small>(mit $\epsilon_{r4.2}$: 165 μm)</small>
LB-Breite LB-Abstand 100 Ω diff. Impedanz 	100 μm 305 μm	100 μm 137 μm	100 μm 122 μm



Beispiel Lagenaufbau

LAGENAUFBAU				12 - Lagen		WE WÜRTH ELEKTRONIK				
WE-Artikel Nr.:				ML12						
Kunde:				CBT SH						
LAGENBEZEICHNUNG		AUFBAU		BASIS-Material	CU	PREPREG ANZAHL/TYP	Dielektrizitätskonstante	ENDDICKE	KUNDEN-FORDERUNG	
KUNDE	WE						[erf]	[µm]	[µm]	
	TOP/VS	S1	S3		Foil	17,5 µm ¹⁾		16		
							1 x 1080 1 x 2116	4.25	175	
	2	REF				35 µm			33	
						0,100 mm		3.8	100	
	3	REF				35 µm			33	
							2 x 1080	3.7	134	
	4	S2				17,5 µm			16	
						0,100 mm		3.8	100	
	5	REF	REF			17,5 µm			16	
							1 x 2113	3.6	87	
	6	S				17,5 µm			16	
						0,100 mm		3.8	100	
	7	S			17,5 µm			16		

Impedanzberechnung:

S1 Zdiff 100 Ohm @ 180 / 185 / 180 µm

S1 Zdiff 110 Ohm @ 170 / 270 / 170 µm

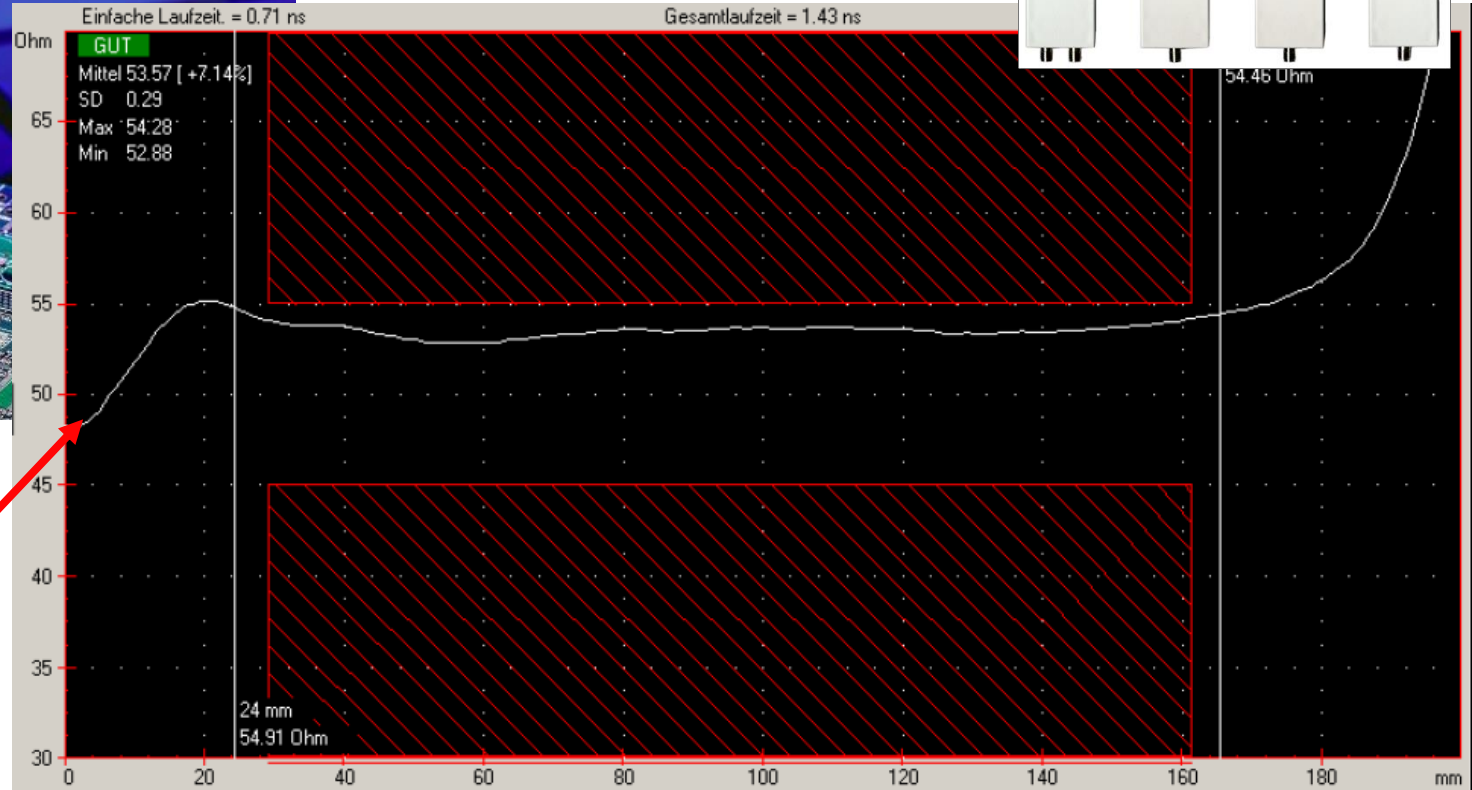
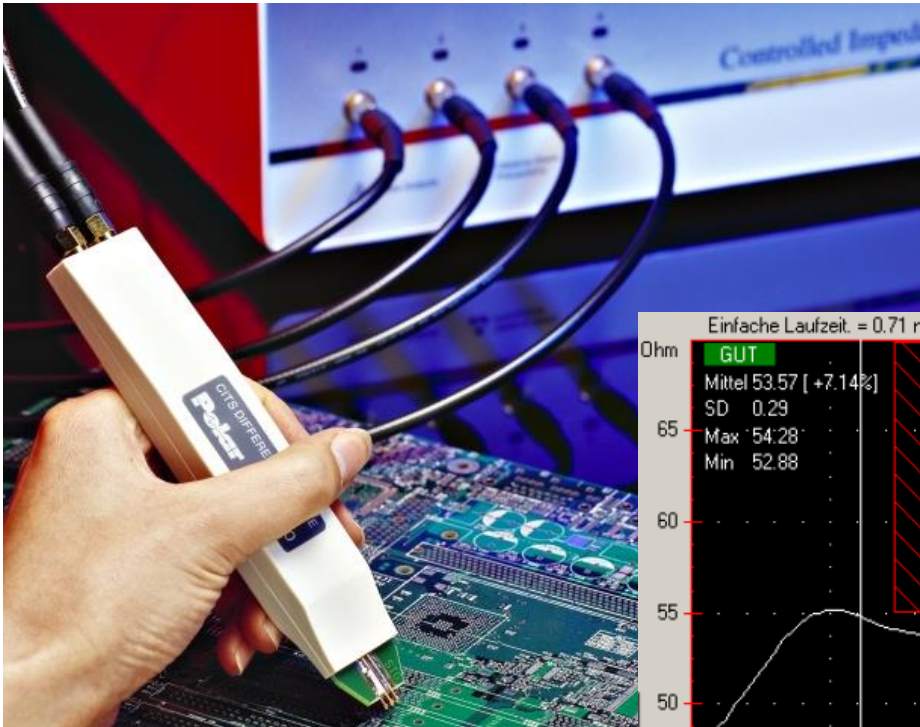
S2 Zdiff 100 Ohm @ 94 / 186 / 94 µm

S2 Zdiff 108 Ohm @ 80 / 200 / 80 µm

S3 Zo 75 Ohm @ 385 µm LB-Breite

Impedanzmessung Polar

Technology TDR
(Polar Instruments)



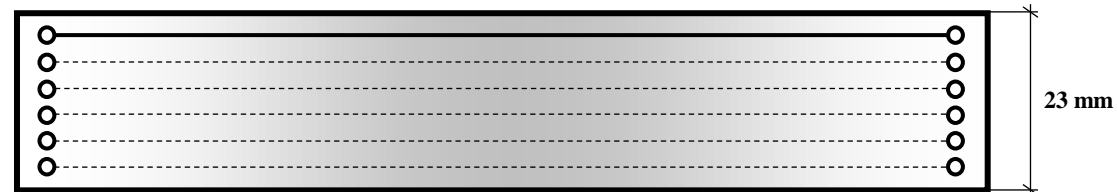
Übergang
TC - LP

Impedanzmessung Testcoupons

am TC

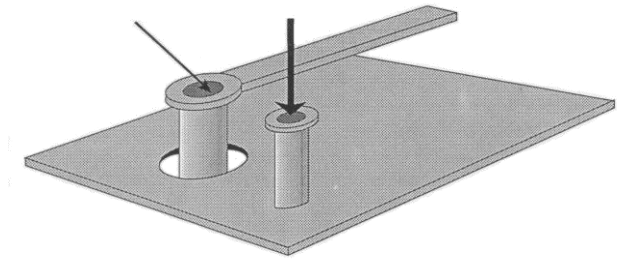
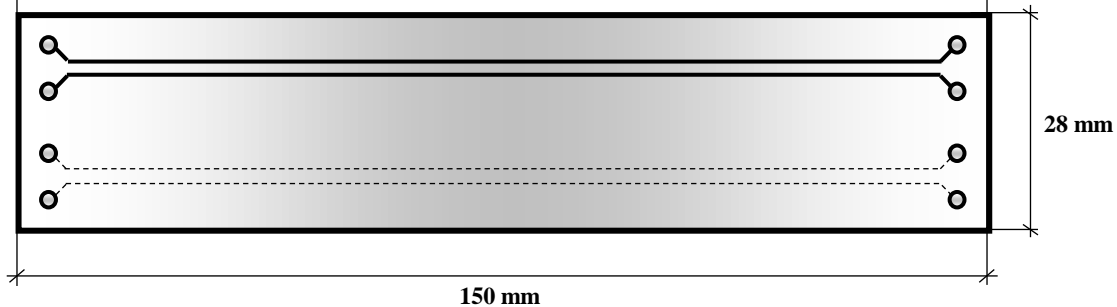
Single

150 x 23 mm
max. 6 Messungen



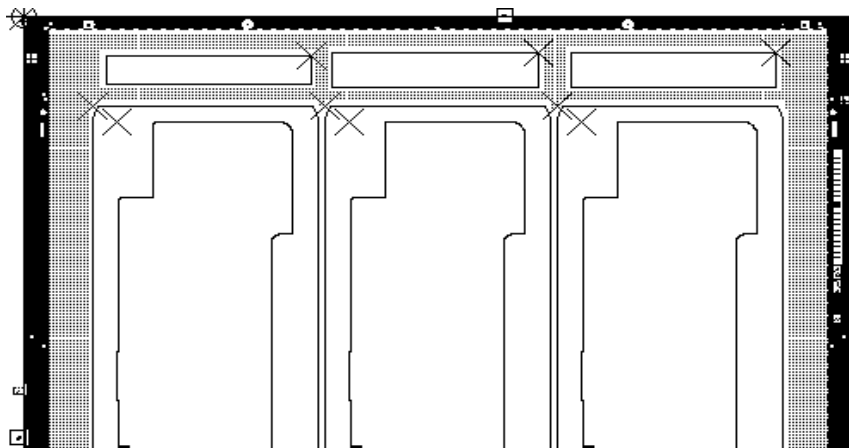
Differentiell

150 x 28 mm
max. 2 Messungen



TC's notwendig weil:

- Saubere Kontaktierung sicher gestellt
- Definierte Messstrecke



Leiterplatten pro Fertigungs-Nutzen???

Testcoupons müssen in der Produktionsnutzenauslastung berücksichtigt werden!!!

Unter Umständen schlechtere Auslastung/Belegung!!!

Impedanzreport



Würth Elektronik Schupfwein GmbH & Co. KG
 Am der Wiese 1
 79650 Schupfheim

Tel: +49 (0) 7625 987-0
 Fax: +49 (0) 7625 987-152
 E-Mail: info@we-online.de
 Web: www.we-online.de

Impedanzreport

Test Summary

TDR Type:	Unknown	QTS Serial Number:	15880
Customer:	Beyers	Job Number:	349484 S42440
Board Type:	ML 4	Operator:	Rondak
Part Number:	61501450	Date Code:	1322
Revision:		Test Start:	03/06/13 at 13:24
Station ID:	_TEST STATION 1_	Test End:	03/06/13 at 13:28

Result Summary

Boards Logged:	20
Boards Tested:	20
Boards Passed:	20
Boards Failed:	0

Inhalt

- Kundendaten
- Vorgaben zur Impedanzmessung
- Messergebnisse
- kleinst mögliche Toleranz +/- 10%

Impedanzen innerhalb der Toleranz:

- Platten + Testreport werden an Kunden geschickt

Es erfolgt eine Umfrage

→ UMFRAGE

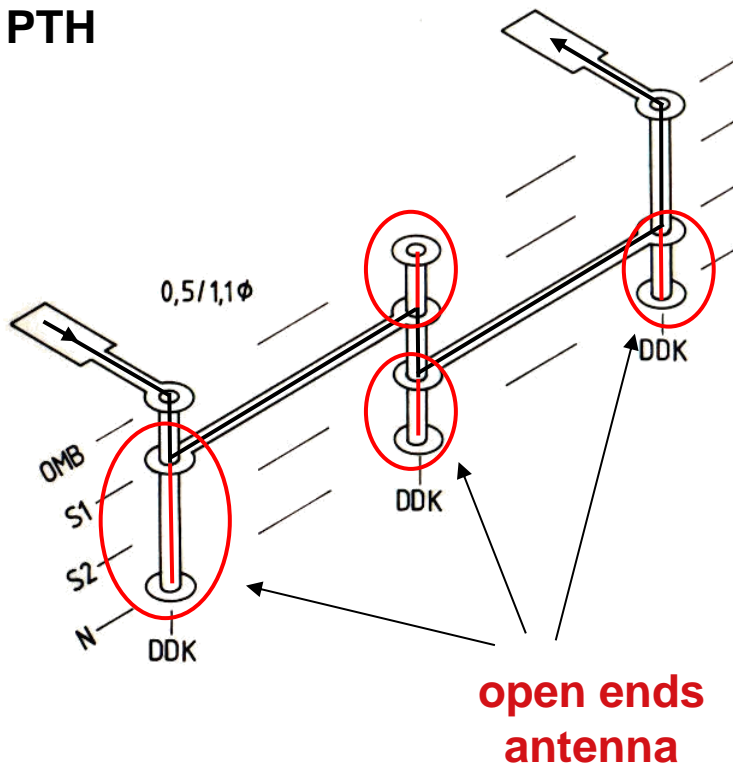
Aus welchem Grund hat Würth Elektronik das Prepreg 2113 eingeführt?

Signalintegrität

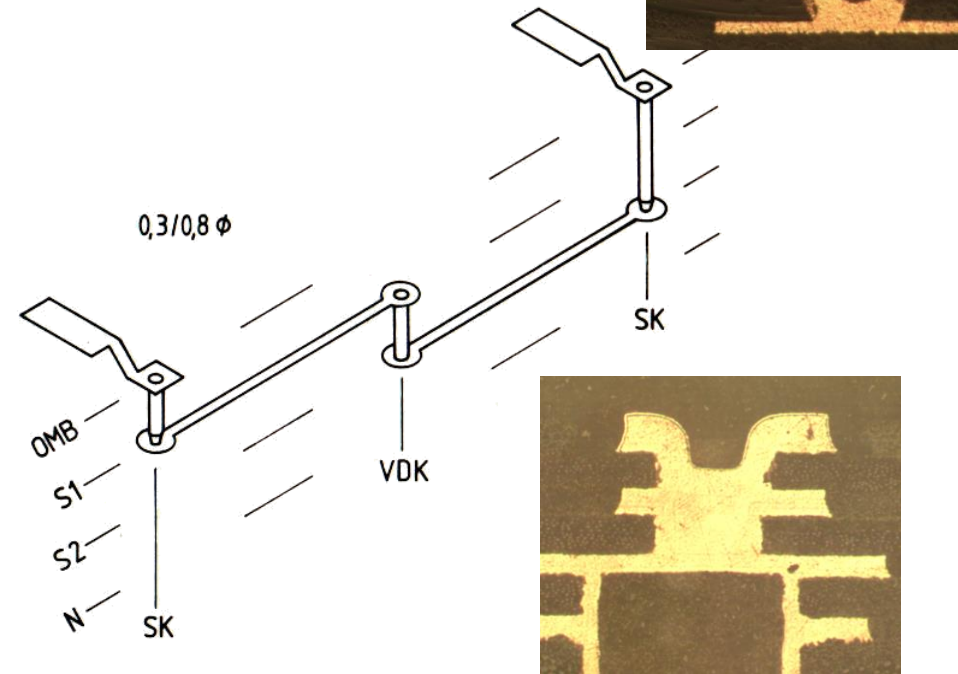
HDI

Störstellen in verschiedenen Verbindungssystemen

Version 1:
PTH



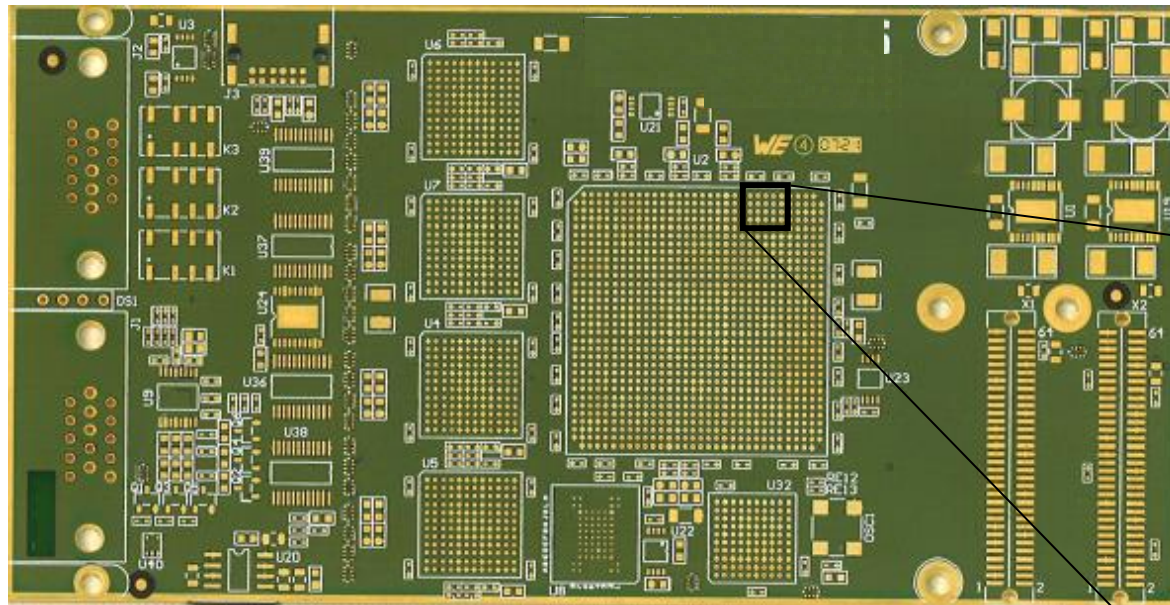
Version 2:
Microvia / Buried Via



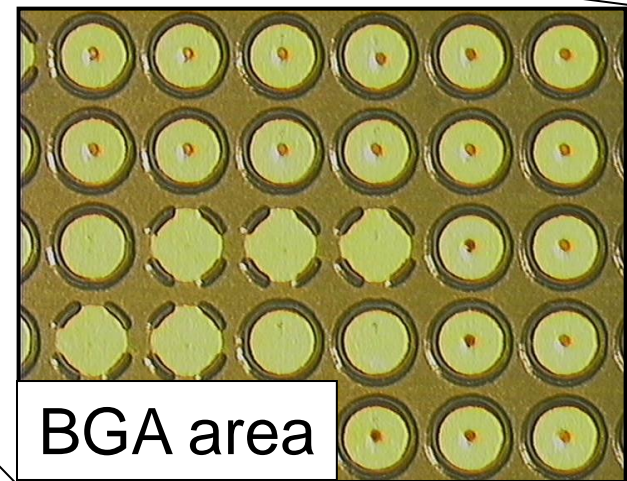
Microvias in Verbindung mit innenliegenden Durchkontaktierungen ergeben weniger Störungen!

Signalintegrität

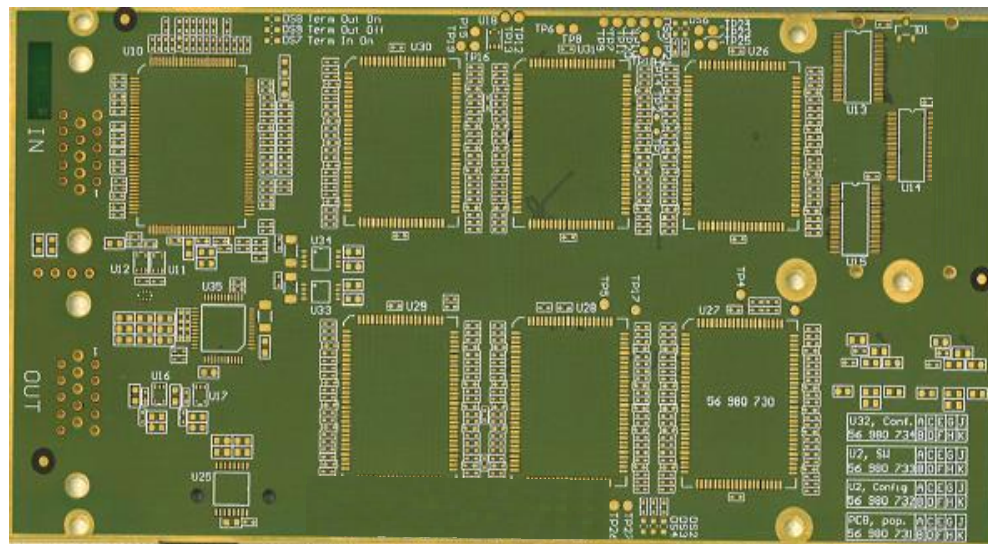
HDI



Via in Pad Technology



BGA area

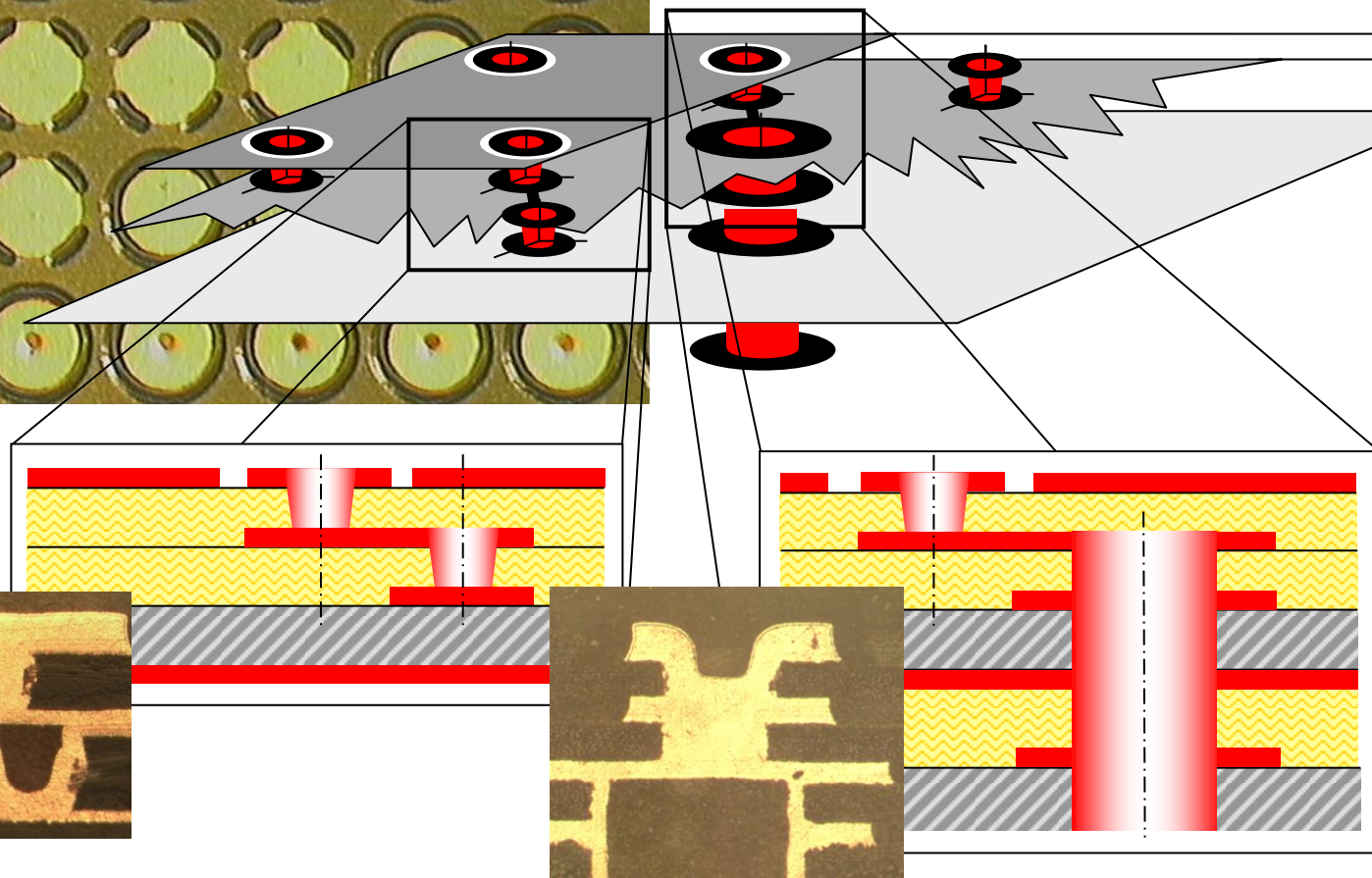
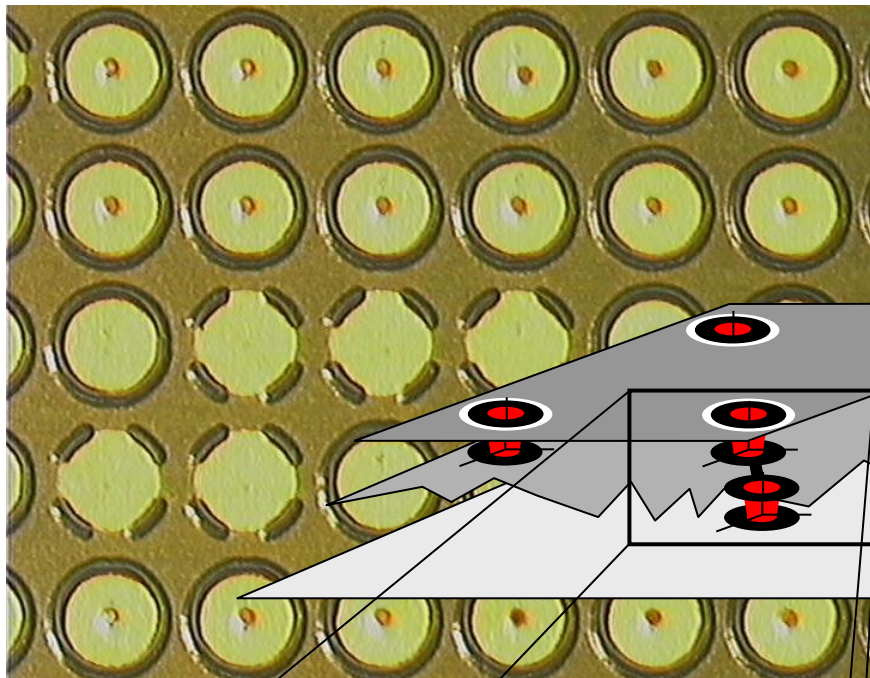


**Aussenlagen vollflächig Kupfer
(keine Leiterbahnen auf Außenlage)**

**Signale auf Innenlagen vor
externen Störquellen geschützt**

GND als Außenlage (Beispiel)

Tip: keine durchgehenden Vias verwenden sobald Burried Vias verwendet werden.

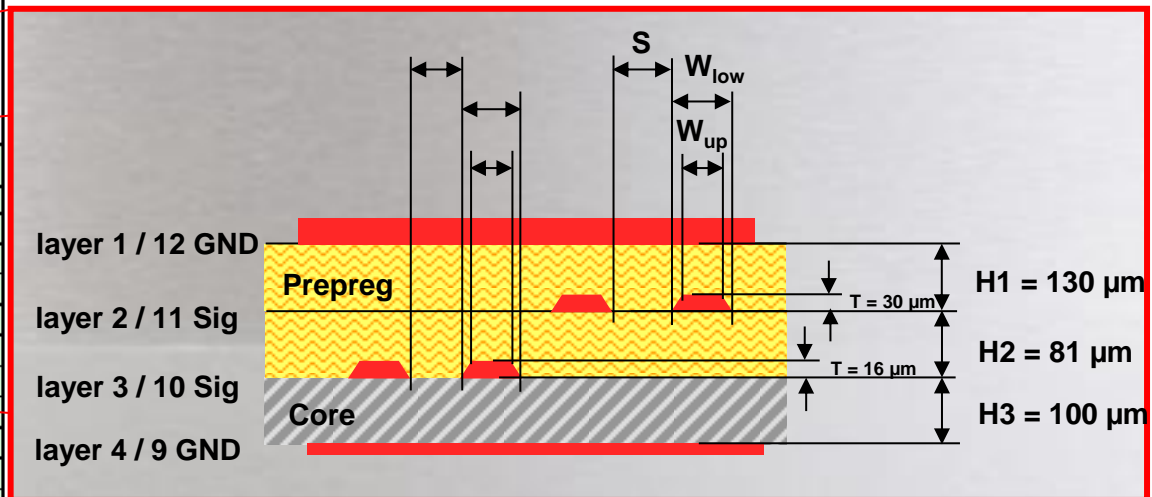


Layer 1 GND
Layer 2 Signal 1
Layer 3 Signal 2
Layer 4 GND

Layer 1 GND
Layer 2 Signal 1
Layer 3 Signal 2
Layer 4 GND

Beispiel AL als Gnd anhand eine komplexen HDI Aufbaus

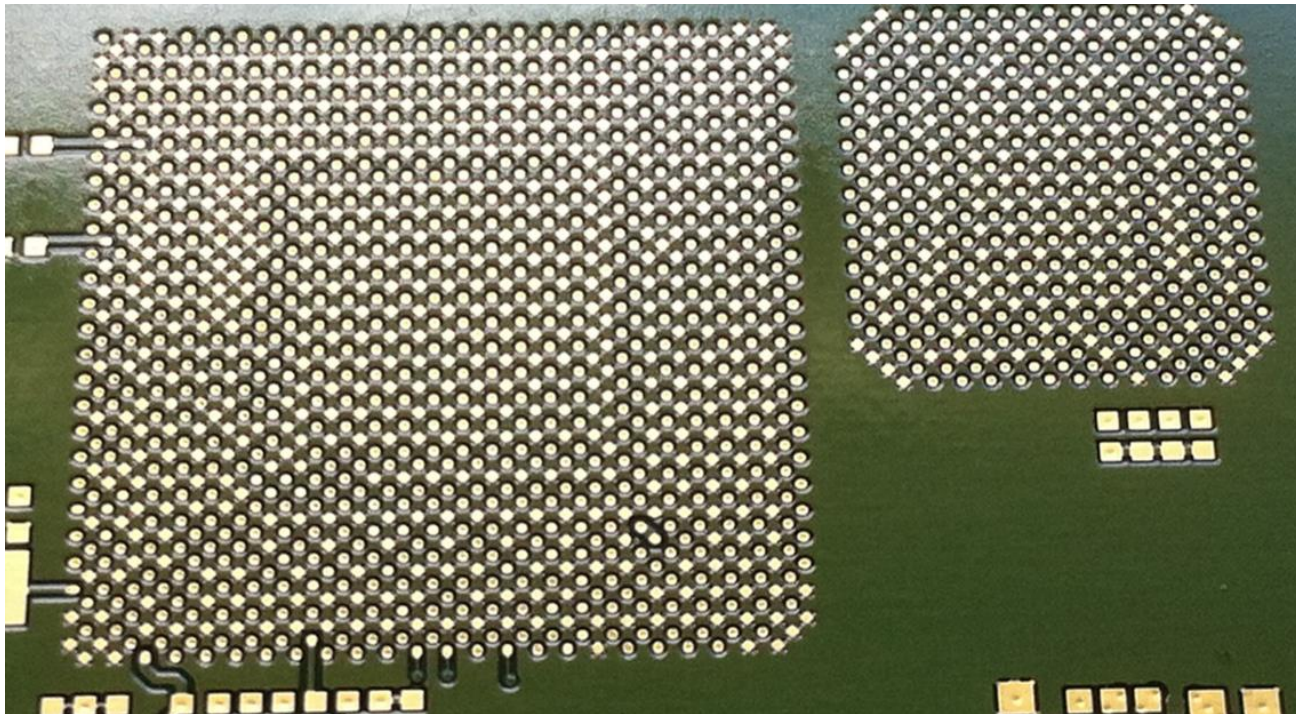
layer description		configuration	Raw-Material	CU	PREPREG	Final Thickness	Customer requirements
Customer	WE					[μ m]	[μ m]
1	TOPVS	Gnd	foil	12 μ m	1 x 2116	12	
2		Sig	foil	9 μ m	1 x 1080	30	
3		Sig		17.5 μ m		16	
4		Gnd	0,100 mm	17.5 μ m	1 x 2116	16	
5		VCC		17.5 μ m		16	
6		Sig	0,100 mm	17.5 μ m	1 x 1080	16	
7		Sig		17.5 μ m		16	
8		Gnd	0,100 mm	17.5 μ m	1 x 2116	16	
9		Gnd		17.5 μ m		16	
10		Sig	0,100 mm	17.5 μ m	1 x 1080	16	
11		Sig		9 μ m	1 x 2116	30	
12	BOTVS	Gnd	foil	12 μ m	1 x 2116	12	



	Layer 2 / 11	Layer 3 / 10
Typ	Edge Coupled Offset strip line	Edge Coupled Offset strip line
Distance layer 1 / 12 GND	130 μ m	211 μ m
Distance layer 4 / 9 GND	181 μ m	100 μ m
Cu Thickness T	30 μ m	16 μ m
Upper trace width W_{up}	82 μ m	95 μ m
Lower trace width W_{low}	100 μ m	100 μ m
Separation S	214 μ m	152 μ m
Substrate Dielectric ϵ_r	3.8 / 3.5 / 3.8	3.8 / 3.5 / 3.8
Impedance	100,0 Ω	100,0 Ω

Signalintegrität

HDI



Beispiel:

INTEL Atom

Pitch 0.593 mm diagonal

Noch nahezu ohne Einschränkungen für Impedanzen machbar
Lagenabstand bis ca. 100 μm
LB-Breiten 90 μm Bis Pitch 0,6 mm

Bei kleineren Pitch z.B. 0,4 mm und 0,5 mm μVia Lagenabstände max. 60-70 μm

Zusammenfassung: EMV Schutz mit Microvias

Nutzen der Aussenlage als GND ermöglicht:

direkter Kontakt des Löt pads mit der ersten und zweiten Innenlage mit der Nutzung Microvias

optimales x – y Routing verhindert Übersprechen (crosstalk) zwischen den Leitern

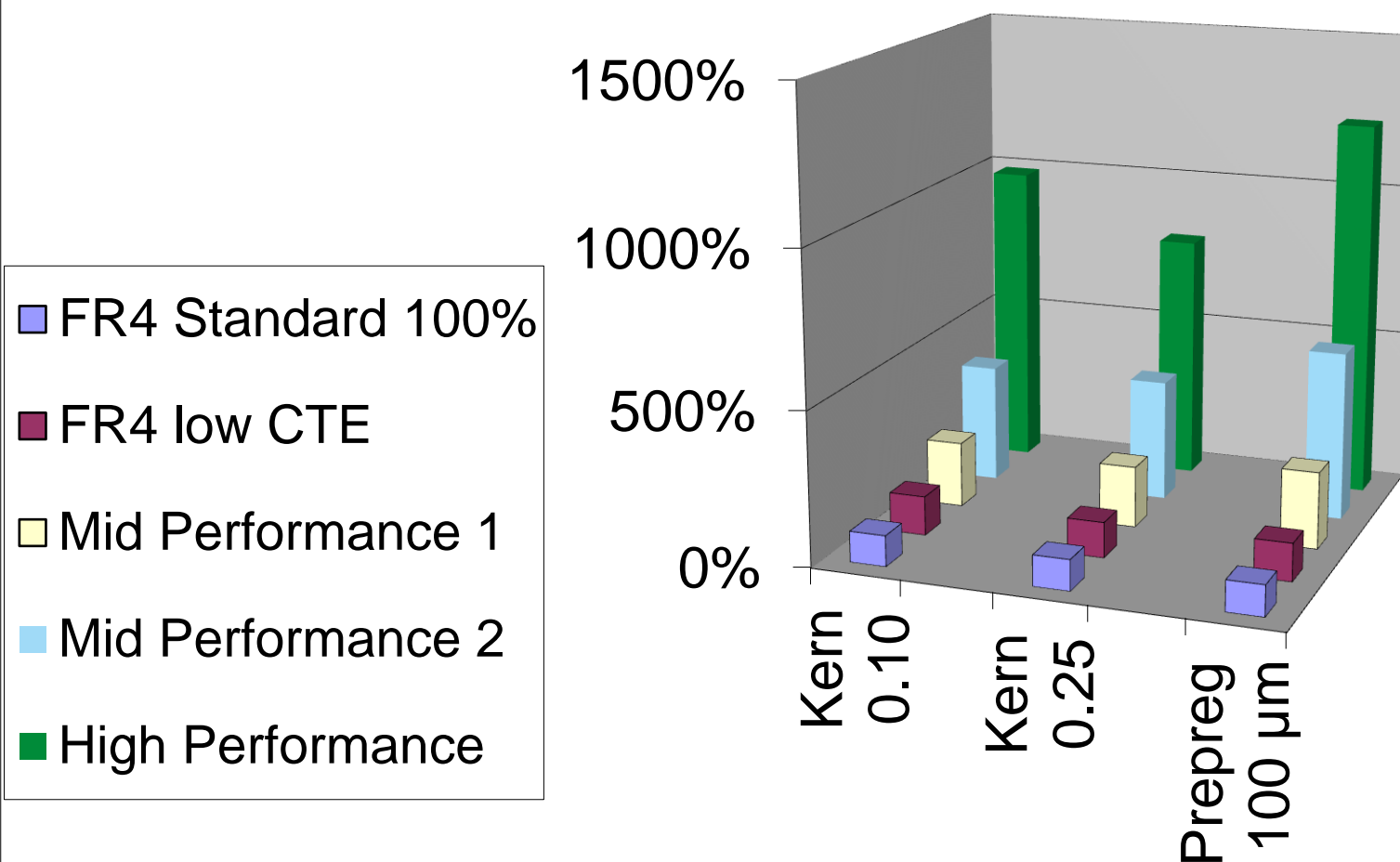
gute EMV – Abschirmung vor externen Quellen

100 μm Dielektrizitätsabstand bei μVias ermöglichen:

Noch nahezu ohne Einschränkungen impedanzdefinierte Leitungen auf den entsprechenden Signallagen zu routen

Materialkosten Hochfrequenzmaterial

Materialkosten im Vergleich (100 Zuschnitte)



Signalintegrität Ausblick Materialien

Nächster Schritt

Projektpartner gesucht

Mid Performance Material in der Fertigung einführen

Materialien mit Frequenzbereich 2,5 GHz - ca. 10 GHz oder 15 GHz

Geringere Materialkosten im Vergleich zu High Performance Material

z.B. EMC Elite EM888, Isola FR408 HR, Megtron2, Megtron6

Bei Bedarf mit Würth Elektronik in Verbindung setzten

Zusammenfassung

- **Signalintegrität:**

Höhere Übertragungsraten und Frequenzen erfordern immer öfter Impedanzanpassungen.

Für hohe Übertragungsraten sind oft Hochfrequenzmaterialien erforderlich

In Zukunft werden auch kostengünstige Hochfrequenzmaterialien erforderlich sein.

Wir sind darauf vorbereitet!

Die Kenntnis der Zusammenhänge ist ein Erfolgsgeheimnis!

Vielen Dank für Ihre Aufmerksamkeit!

**more
than you
expect**

Philipp Reeb
WÜRTH ELEKTRONIK GmbH & Co. KG
Produkt Management
Signalintegrität
Circuit Board Technology
T.: +49 7622 397 277
M.:+
E. philipp.reeb@we-online.de
W. www.we-online.de