

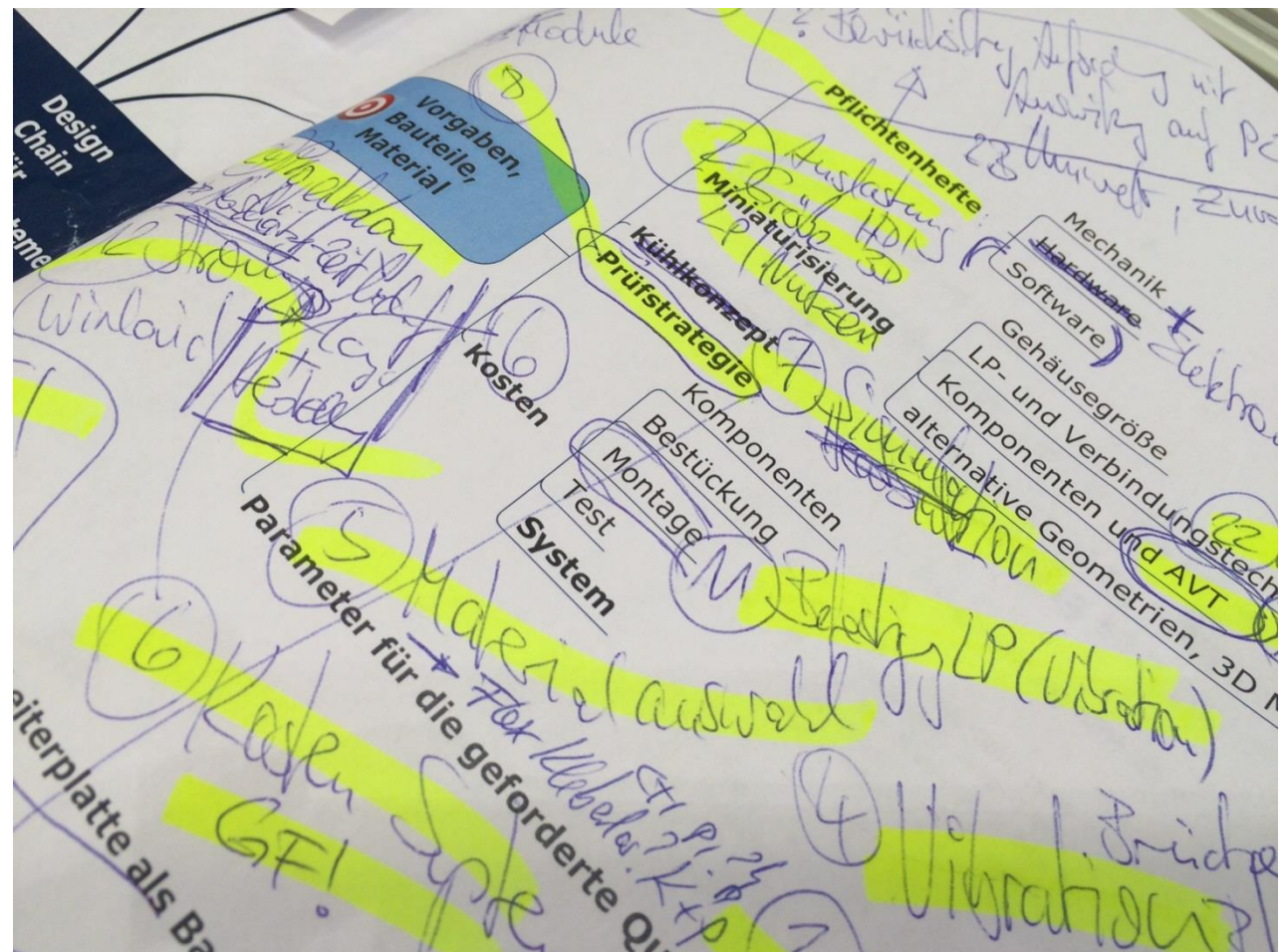
Jubiläumswebinar: Worauf es ankommt

Webinar am 1.März 2016

Referent: Andreas Schilpp



- Wertschöpfungskette
- PKP Produktkreationsprozess
- Design Chain



Annäherung an das Thema

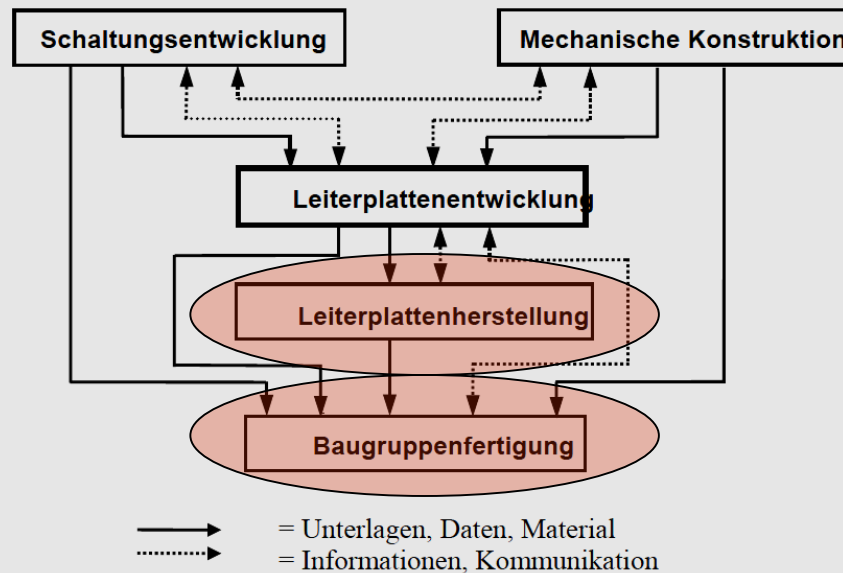


Ihr Fachverband
für Design, Leiterplatten-
und Elektronikfertigung

3. Kommunikations- und Informationswege

Rechtzeitige Informationen sind Voraussetzungen für einen funktionierenden PKP. Dies setzt störungsfreie

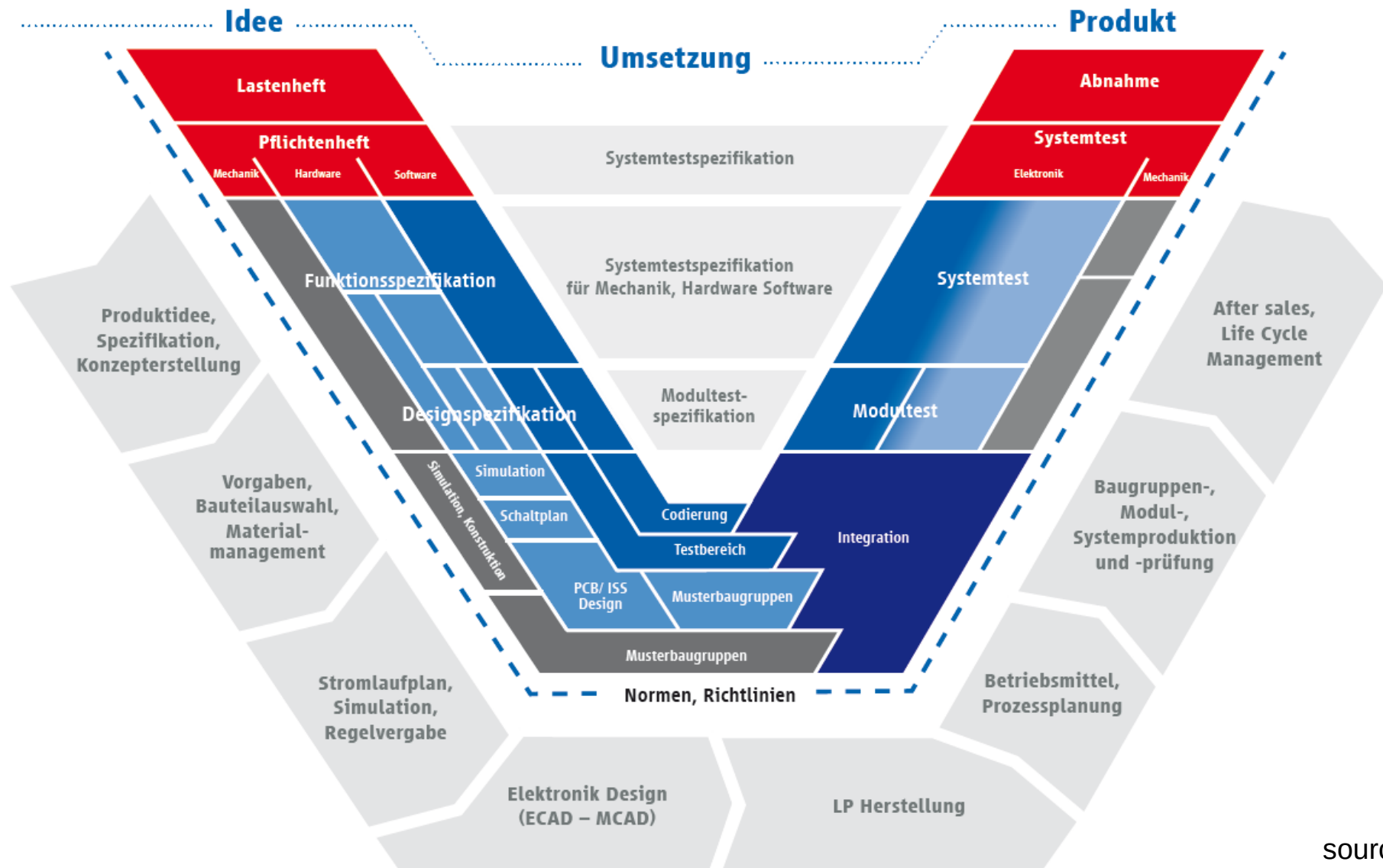
Kommunikationswege voraus. Die Leiterplattenentwicklung befindet sich mittendrin: sie bildet die Brücke zwischen Entwicklung und Fertigung:



FED-22-02A

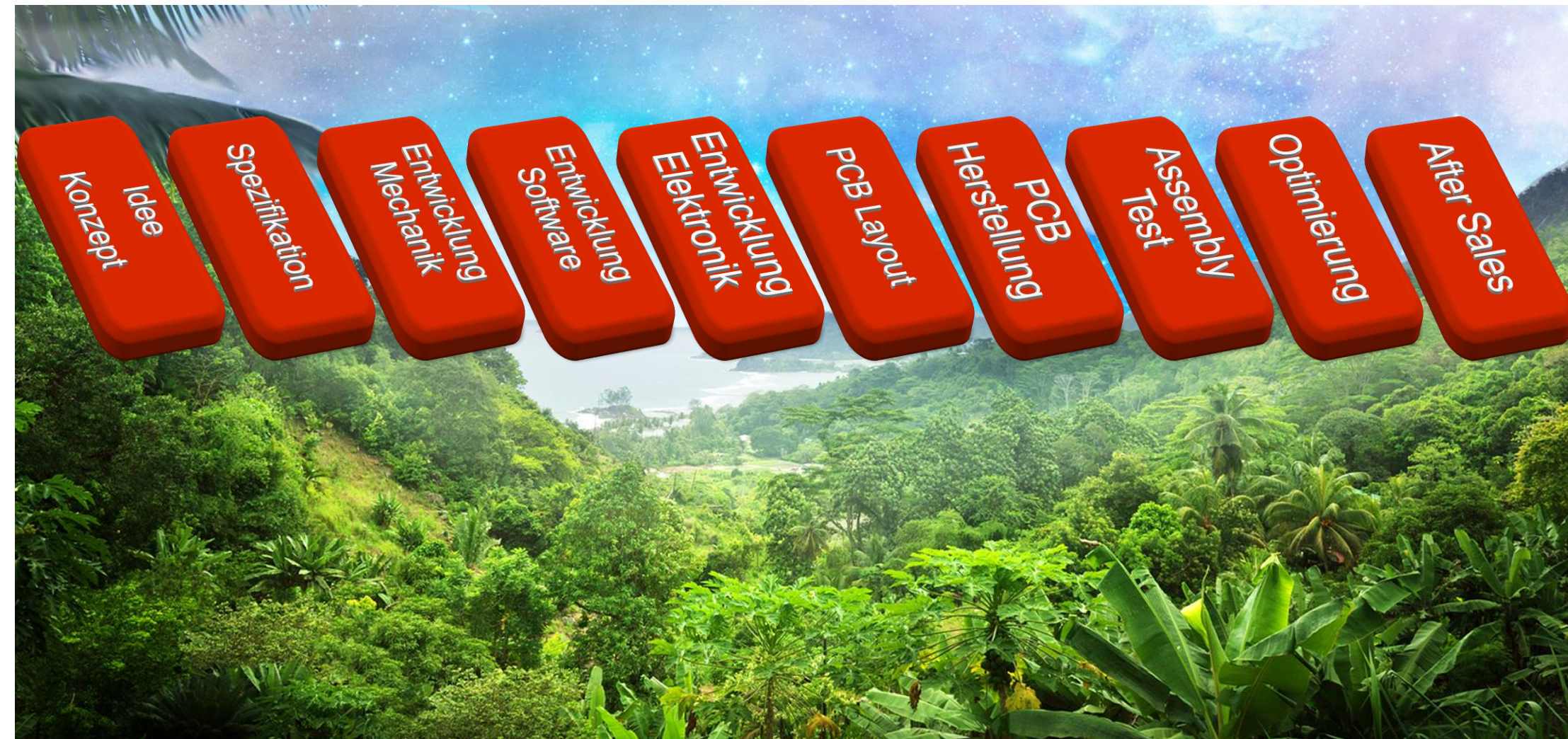
FED-Designrichtlinie

Design Chain Elektronikentwicklung

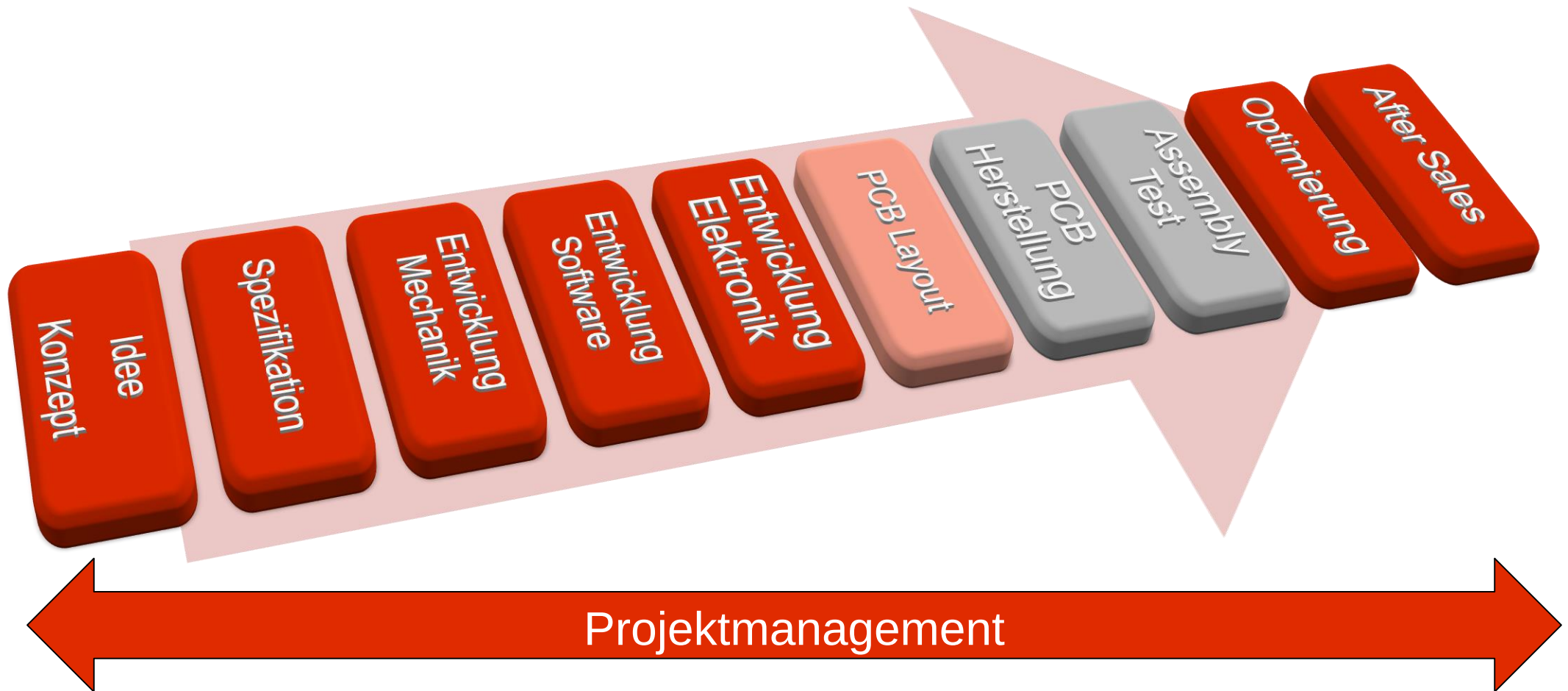


source: ZVEI

Design Chain Elektronikentwicklung



Design Chain Elektronikentwicklung



24 Punkte, die für Ihre Entwicklung wichtig sein könnten

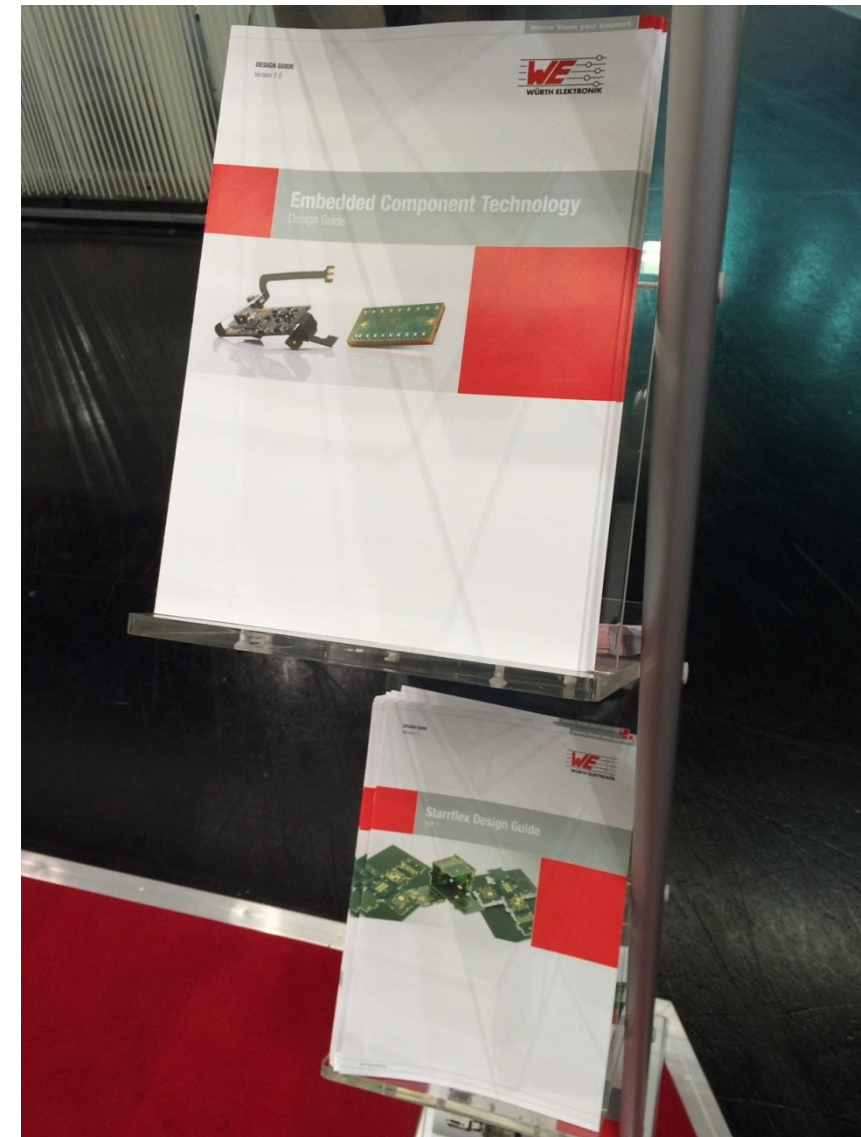
1**1**

Ständige Informationsbeschaffung und Weiterbildung zu Technologien, Bauteilen, Tools usw.

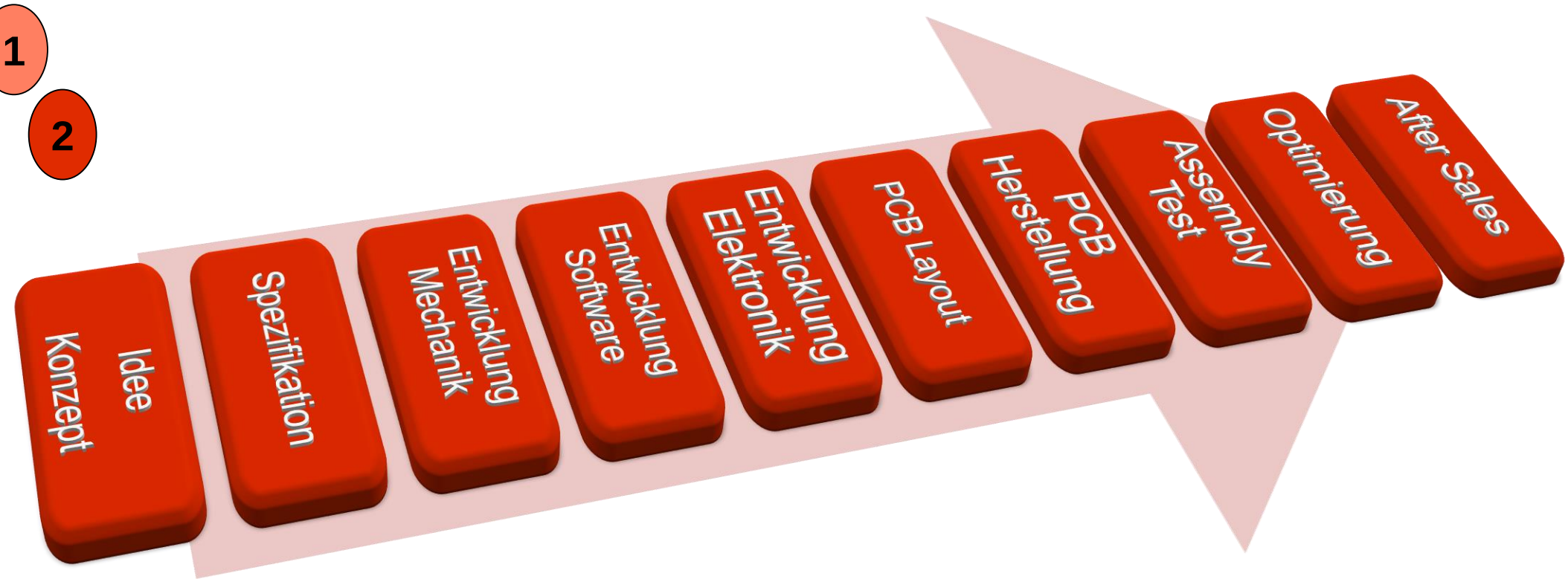
Messen, Webinare, Designkonferenzen, Design Guides, Fachartikel, Internet

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

- **Informationquelle Designguides**



24 Punkte, die für Ihre Entwicklung wichtig sein könnten



2

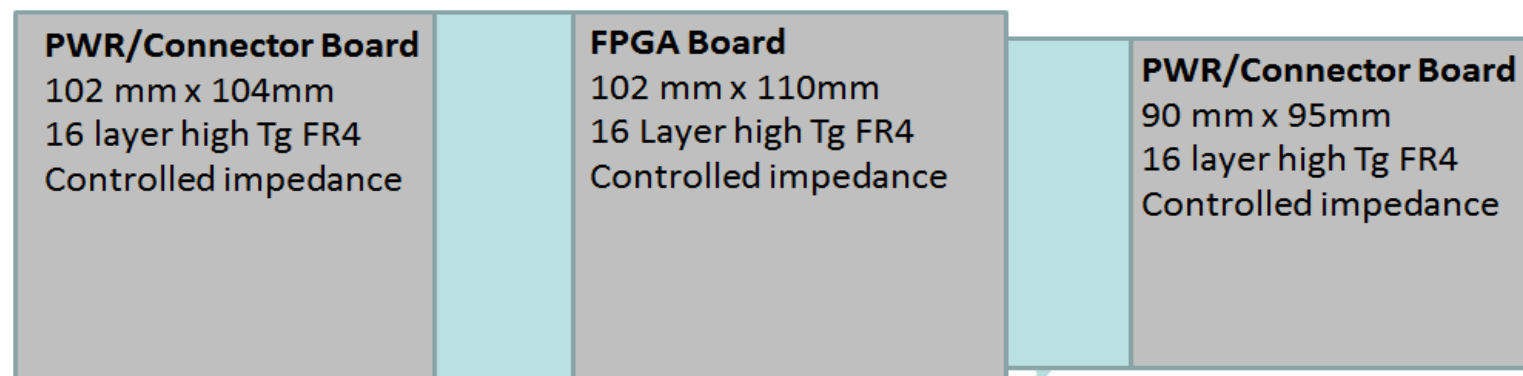
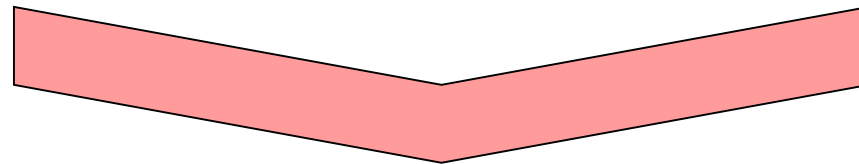
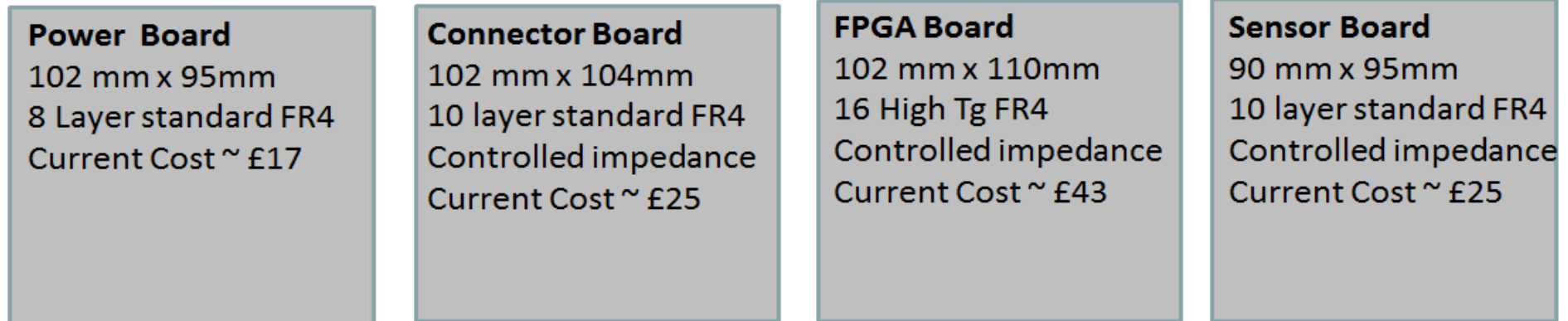
Produktidee, Konzept und Technologieauswahl

Zielmarkt, ramp-up

Modulansatz $\leftrightarrow$ homogenes System bzw. Integrationsansatz

Verfügbarkeit, 2nd source

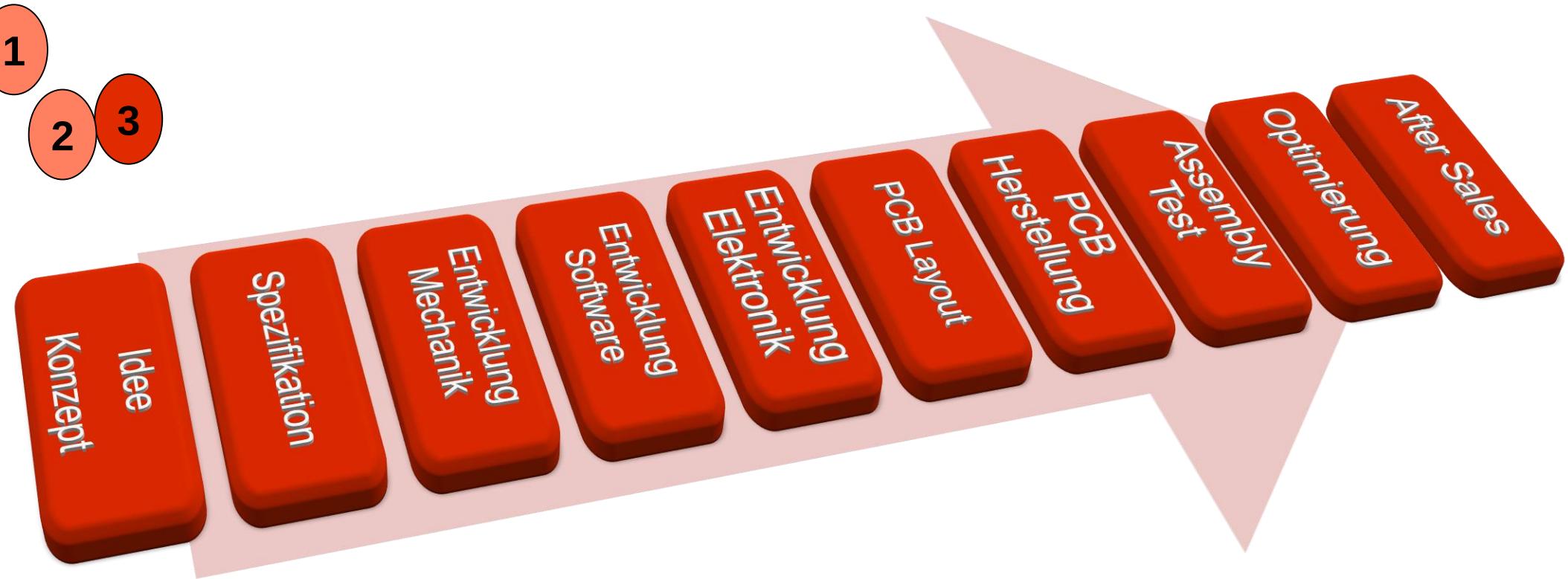
Modulansatz $\leftrightarrow$ homogenes System bzw. Integrationsansatz



Added flex interconnect
 4 layers, signal,GND,signal,POWER



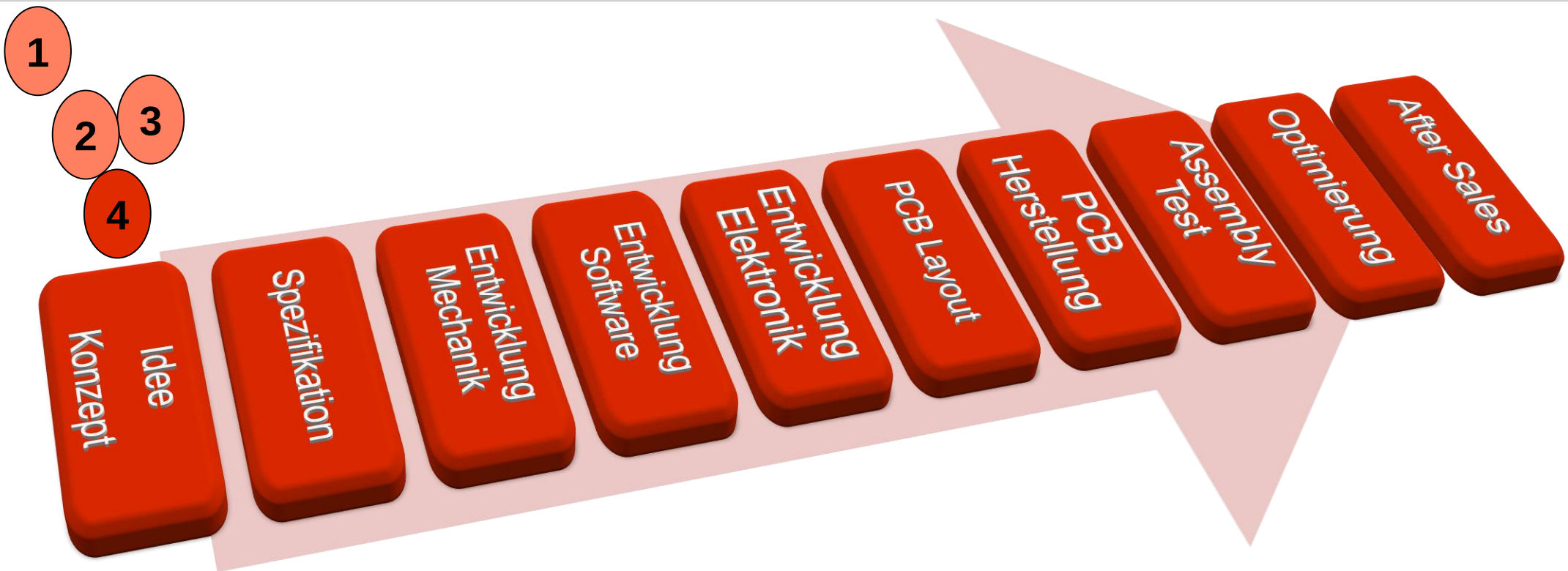
24 Punkte, die für Ihre Entwicklung wichtig sein könnten

**3**

Funktionsspezifikation Mechanik & Elektronik & Software, Größe

**Anforderungen an die Leiterplatte abgeleitet von den Systemanforderungen
Start-up „DIN-A4 Seite“**

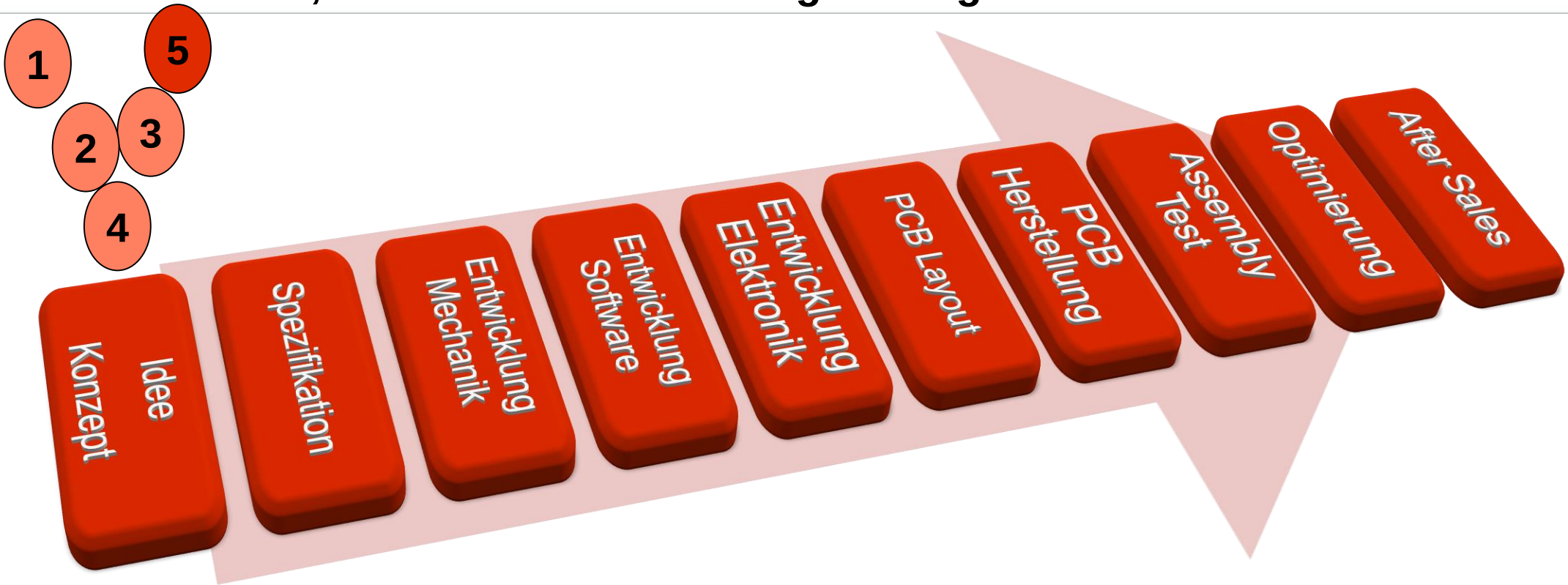
24 Punkte, die für Ihre Entwicklung wichtig sein könnten



4 Standards und Gesetzliche Regelungen

Anforderungen an die Leiterplatte abgeleitet von der Anwendung

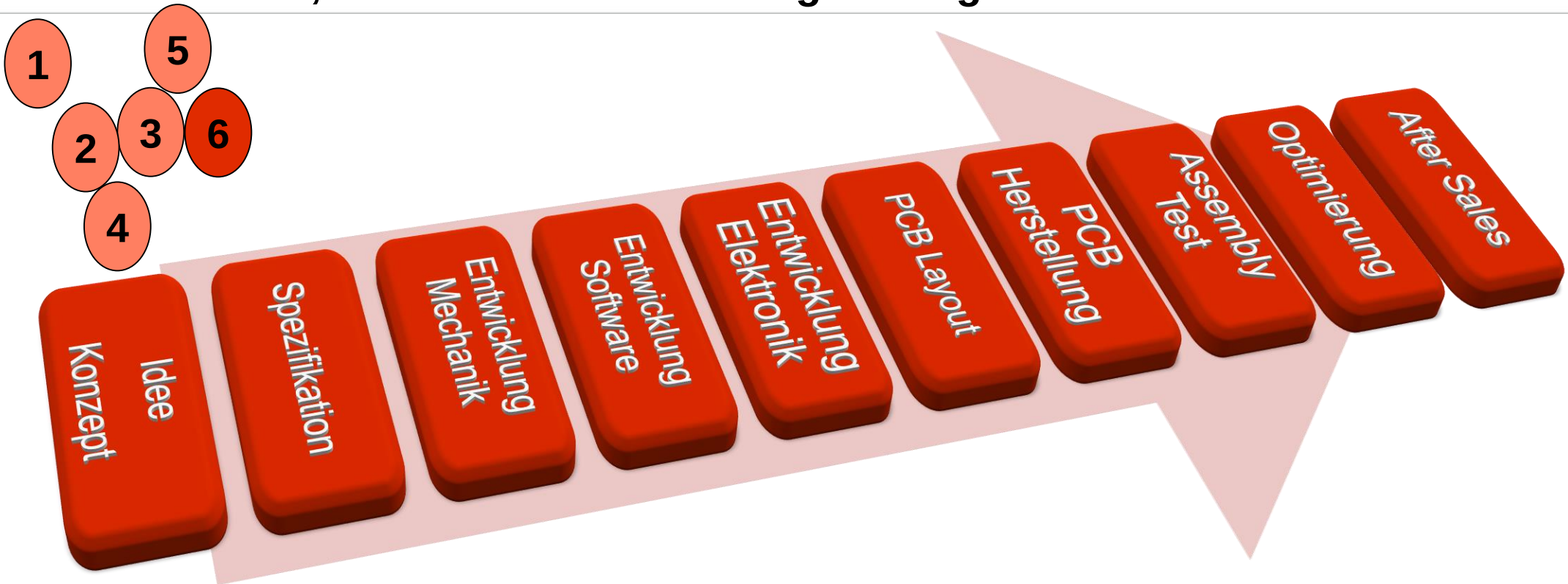
24 Punkte, die für Ihre Entwicklung wichtig sein könnten



5 Mission profile, Zuverlässigkeitsanforderungen, Lebensdauer

Auswirkungen auf Bauteile und Leiterplatte

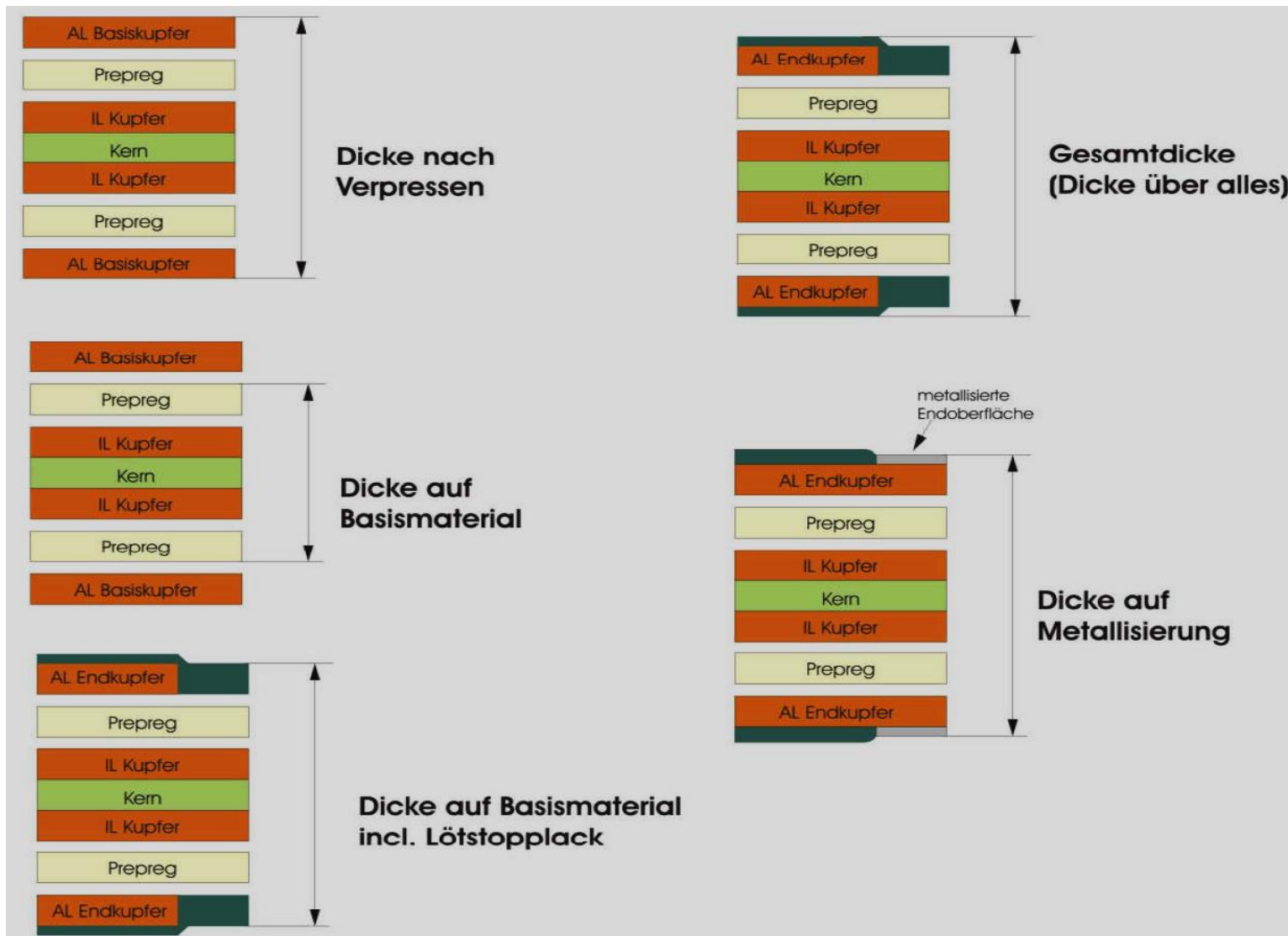
24 Punkte, die für Ihre Entwicklung wichtig sein könnten

**6**

Designspezifikation, Mechatronik und Miniaturisierung

Dicke der Leiterplatte – Definitionen und Dickentoleranz
Miniaturisierungsansätze für die Leiterplatte

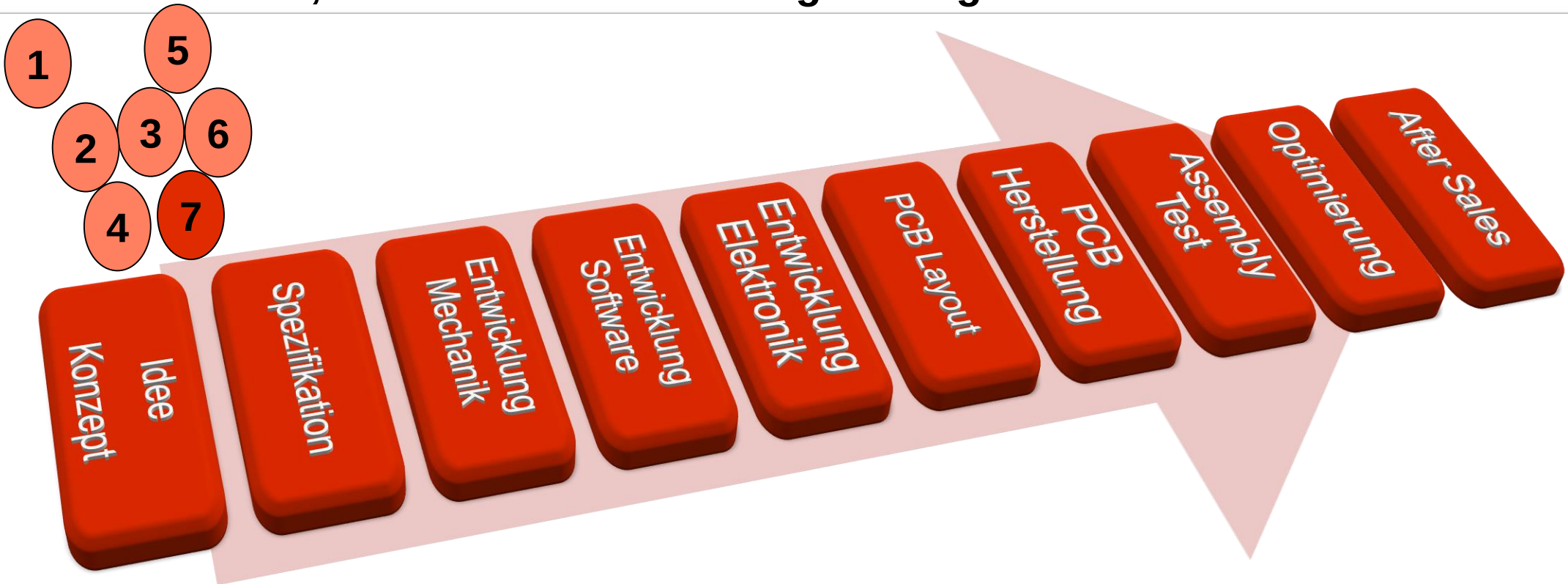
unterschiedliche Definitionen der Leiterplattendicke



Toleranzen:

typisch $\pm 10\%$
nach Verpressen

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

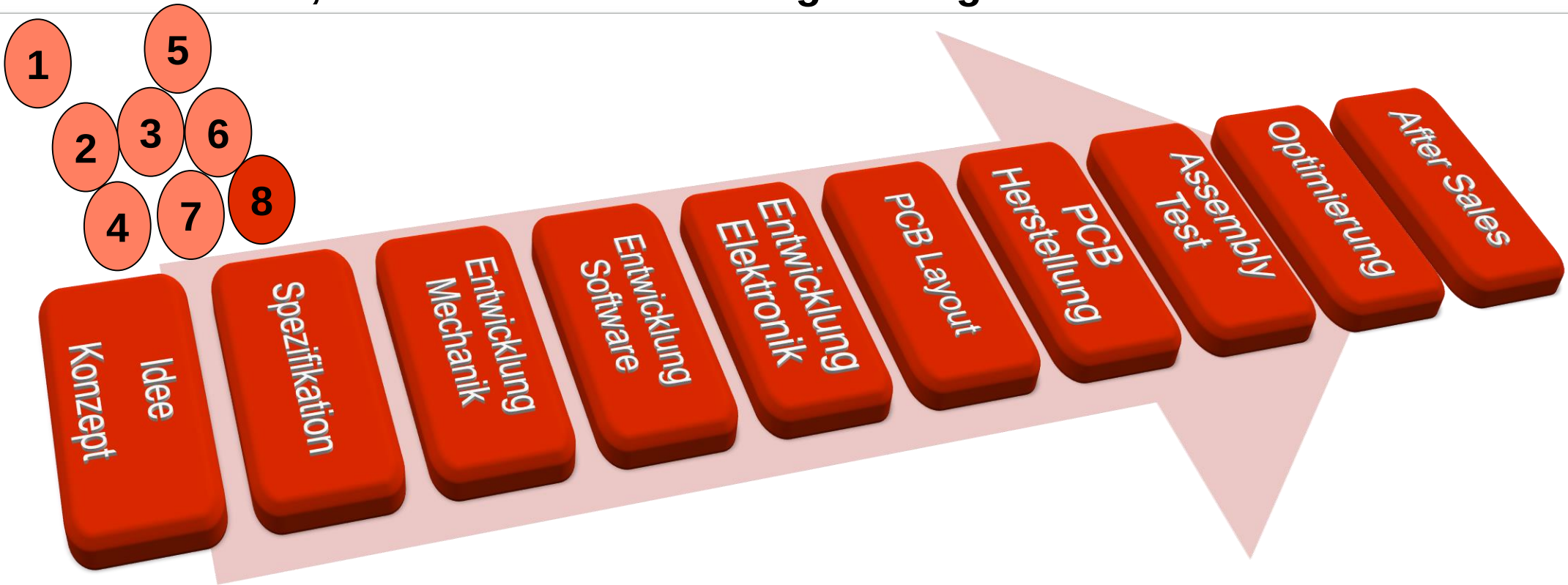


7

Projektplanung

Abschätzung Zeitbedarf Layout und Herstellung Leiterplatte

24 Punkte, die für Ihre Entwicklung wichtig sein könnten



8

Mechanik, Montage und Befestigung Leiterplatte, Vibration

Möglichkeiten der Leiterplattenbefestigung

Mechanik: Befestigung einer Leiterplatte - Vibration

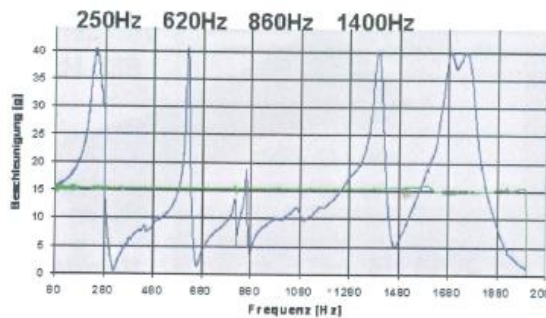


Abbildung 12-15: Experimentell bestimmte Eigenfrequenzen und Modell der simulierten Baugruppe

In einer ersten Berechnung wurden die Bedingungen für eine Befestigung der Baugruppe mit nur vier Schrauben analysiert. Abbildung 12-16 zeigt die berechneten Schwingungsformen für die vier ermittelten Eigenfrequenzen.

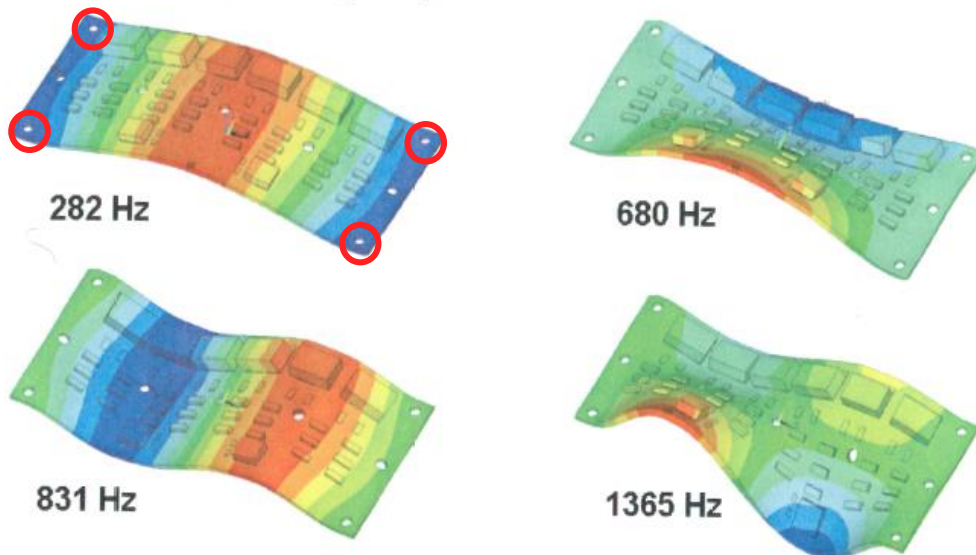
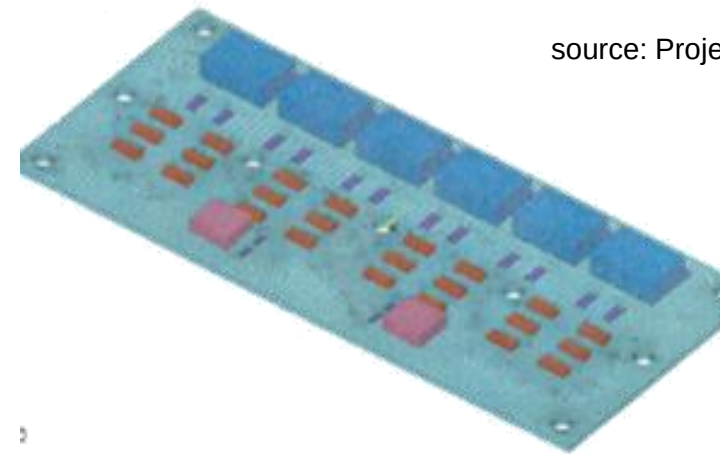


Abbildung 12-16: Eigenfrequenzen der simulierten Baugruppe mit vier Befestigungsschrauben



source: Projekt Hotel

Fixing with 9 screws:

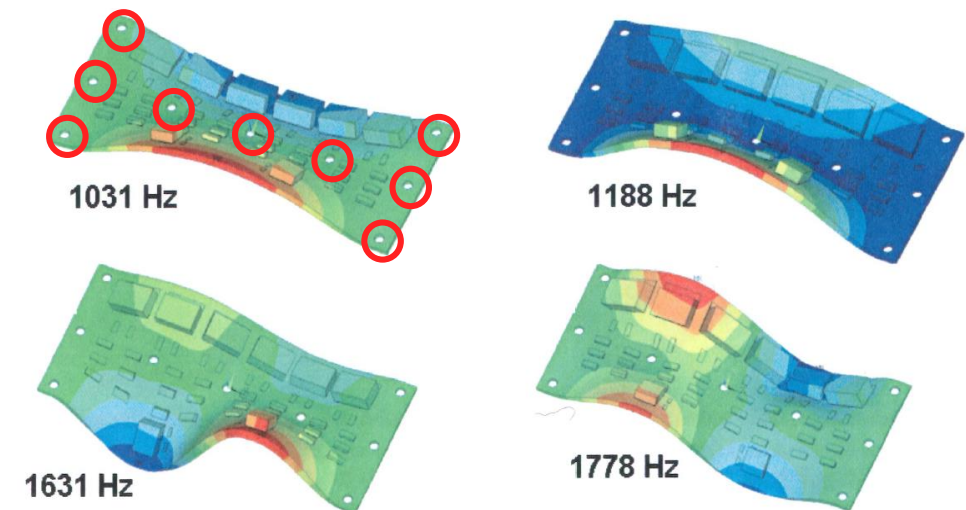
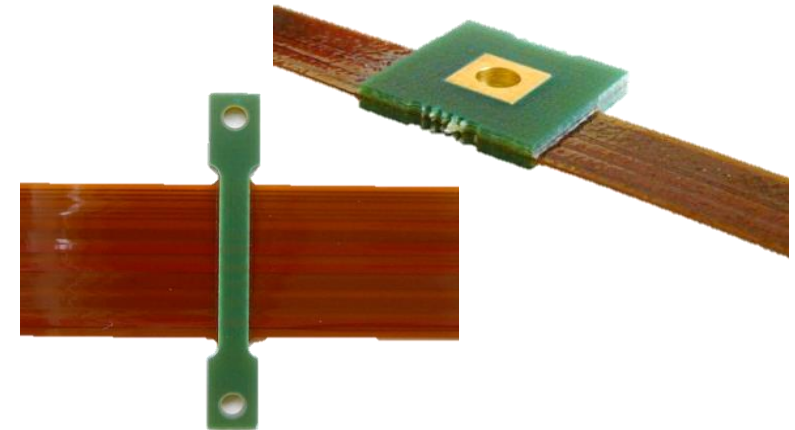
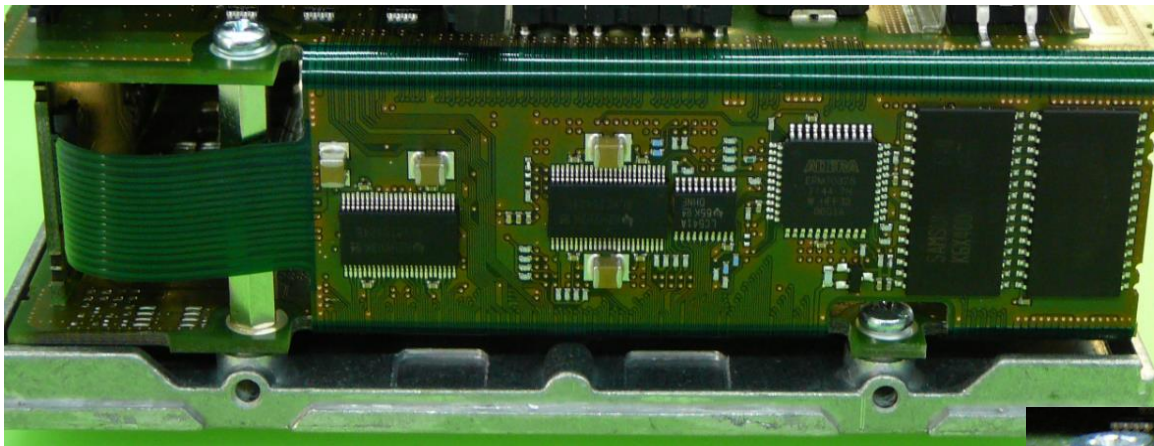


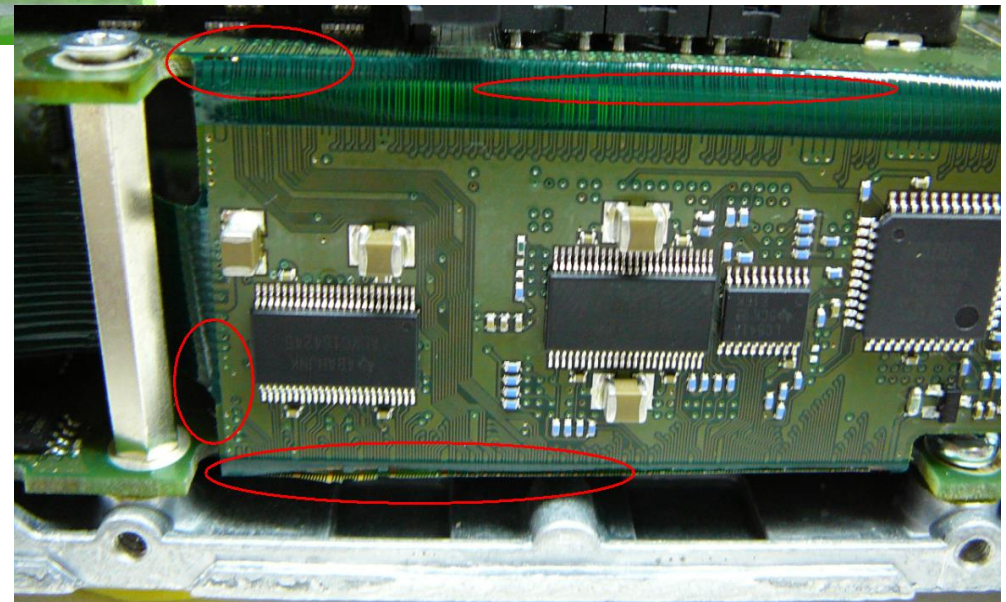
Abbildung 12-18: Berechnung der Eigenfrequenzen der simulierten Baugruppe mit neun Befestigungsschrauben

Mechanik: Befestigung einer Leiterplatte - Vibration

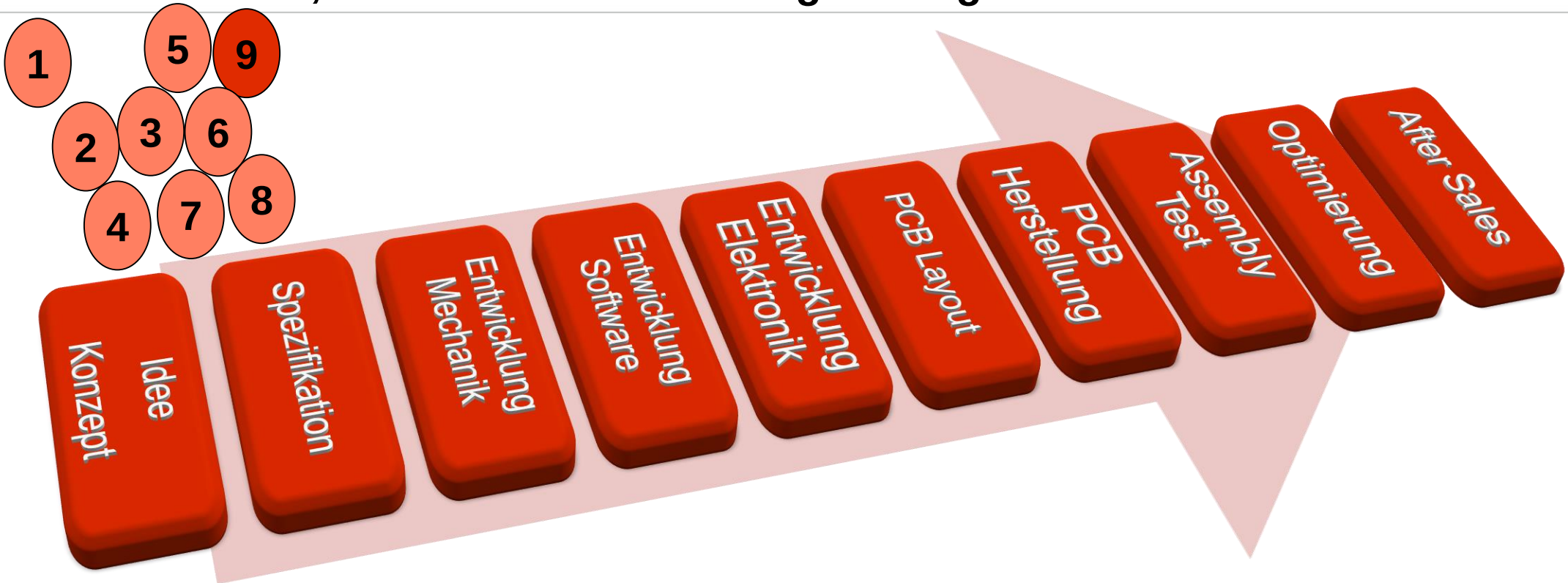
NO fixation of one rigid area



**... leads to resonance
and destruction even
with Rigid-Flex!**



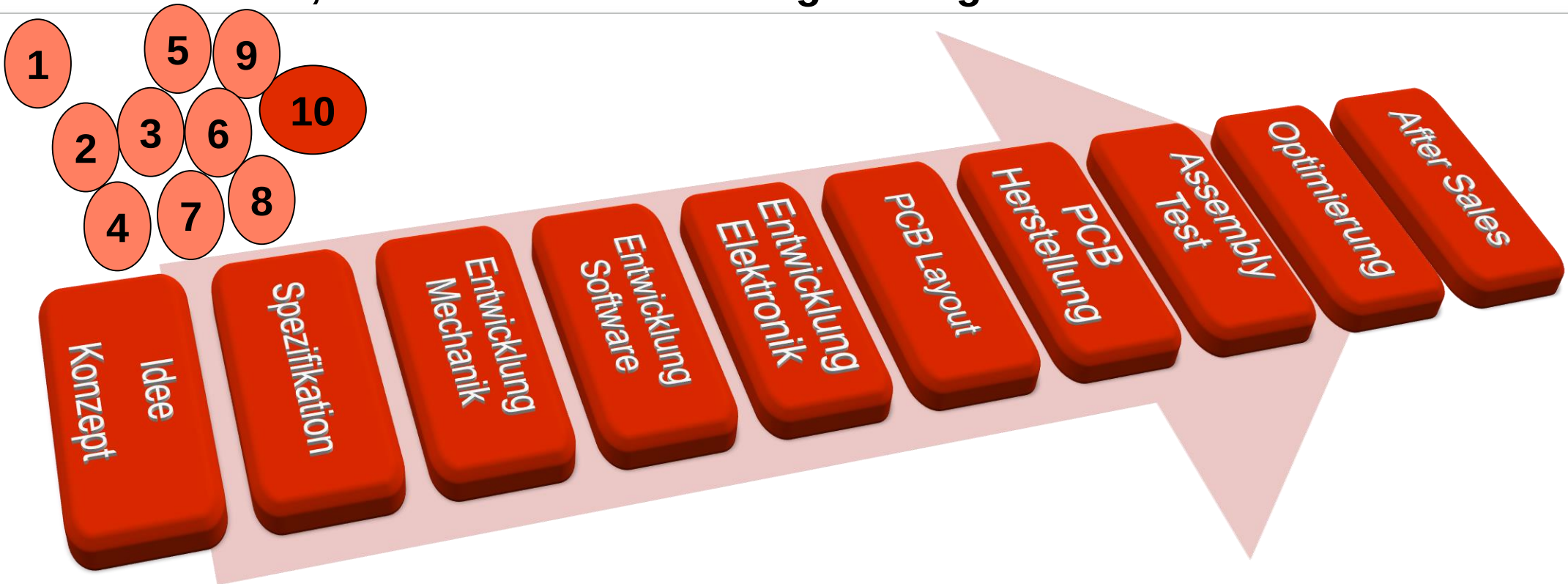
24 Punkte, die für Ihre Entwicklung wichtig sein könnten



EMV: Schnittstellen

Konzept prüfen bezüglich Abstrahlung und Einkopplung

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

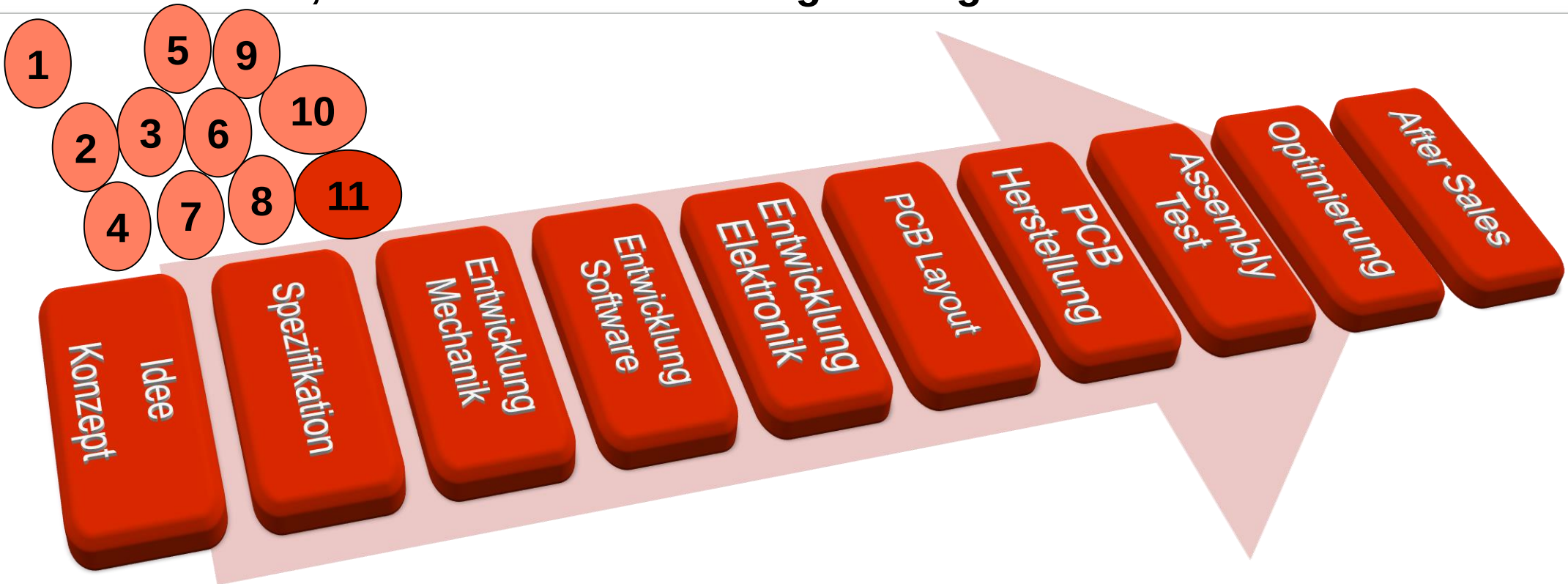


Signalintegrität

10

Simulation, Dokumentation (auch bei „einfachen“ Multilayern)

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

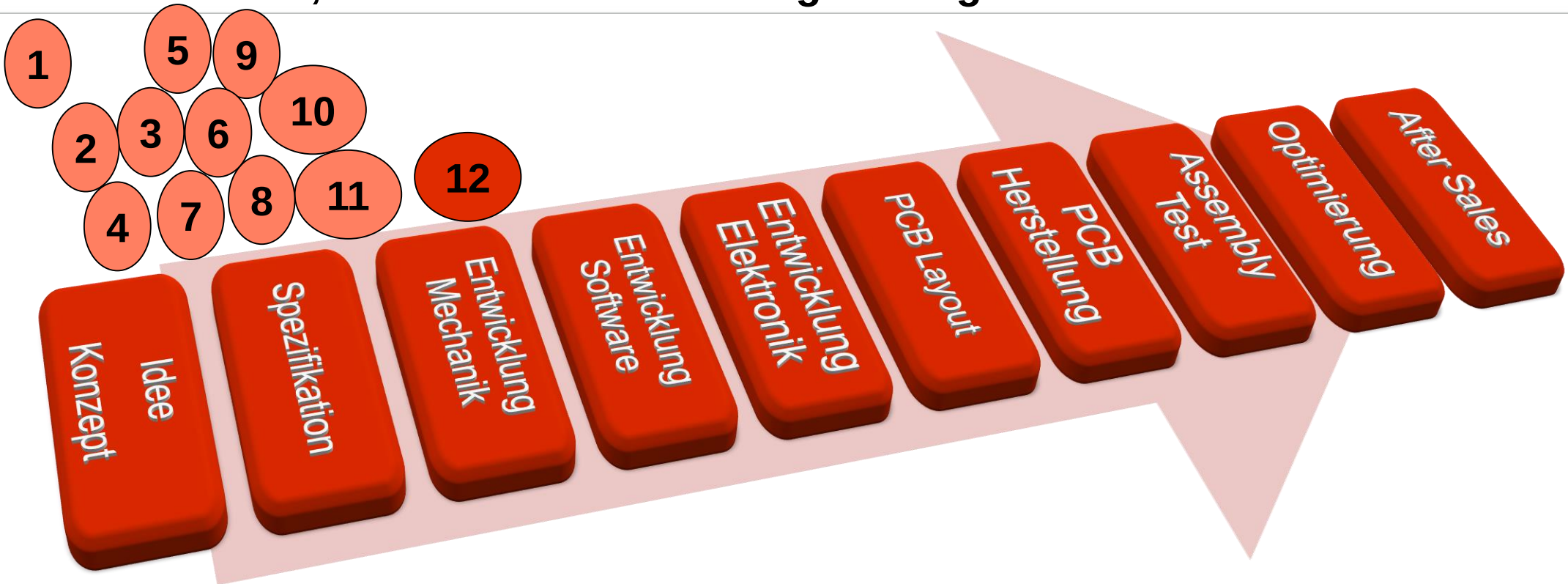
**11**

Stromtragfähigkeit

Auslegung nach IPC-2152

Optionen Dickkupfer ⇔ partiell Dickkupfer

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

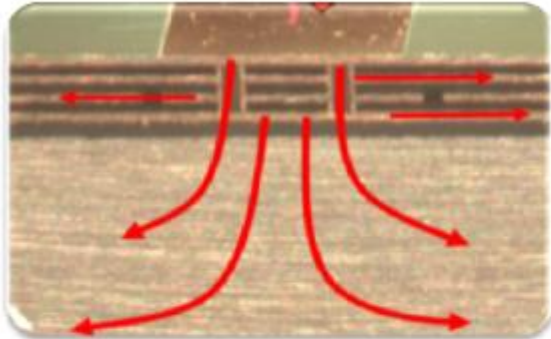


Thermisches Design

12

Simulation nach Gerberdaten, Anpassung LP Technologie

Simulation thermisches Design - Varianten



Möglichkeiten auf Leiterplattenbasis:

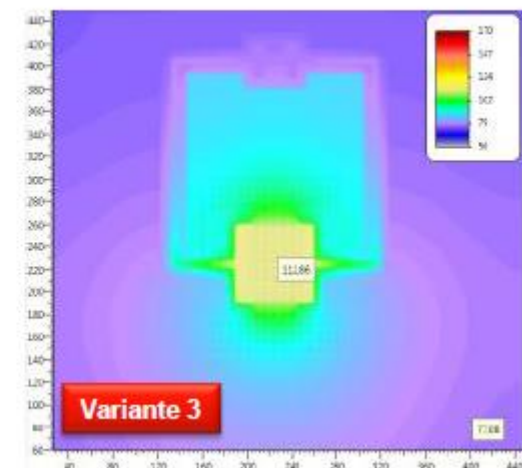
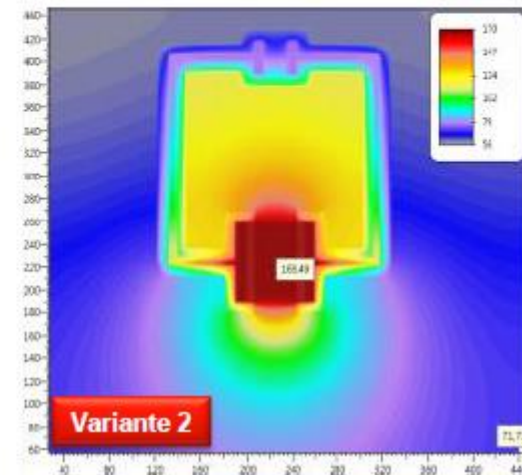
- Entwärmung über Vias
- Wärmespreizung über Masseflächen und aufgeklebte Kühlkörper (Heatsink)

Ziele:

- Absenkung der Temperatur am Bauteil
- Vermeidung von kritischen Temperaturen innerhalb des Bauteils und der Baugruppe
- Verlängerung der Lebensdauer und Sicherstellen der Langzeitzuverlässigkeit der Baugruppe

Im Grenzbereich ist eine thermische Simulation im Vorfeld dringend zu empfehlen.

Thermische Simulation



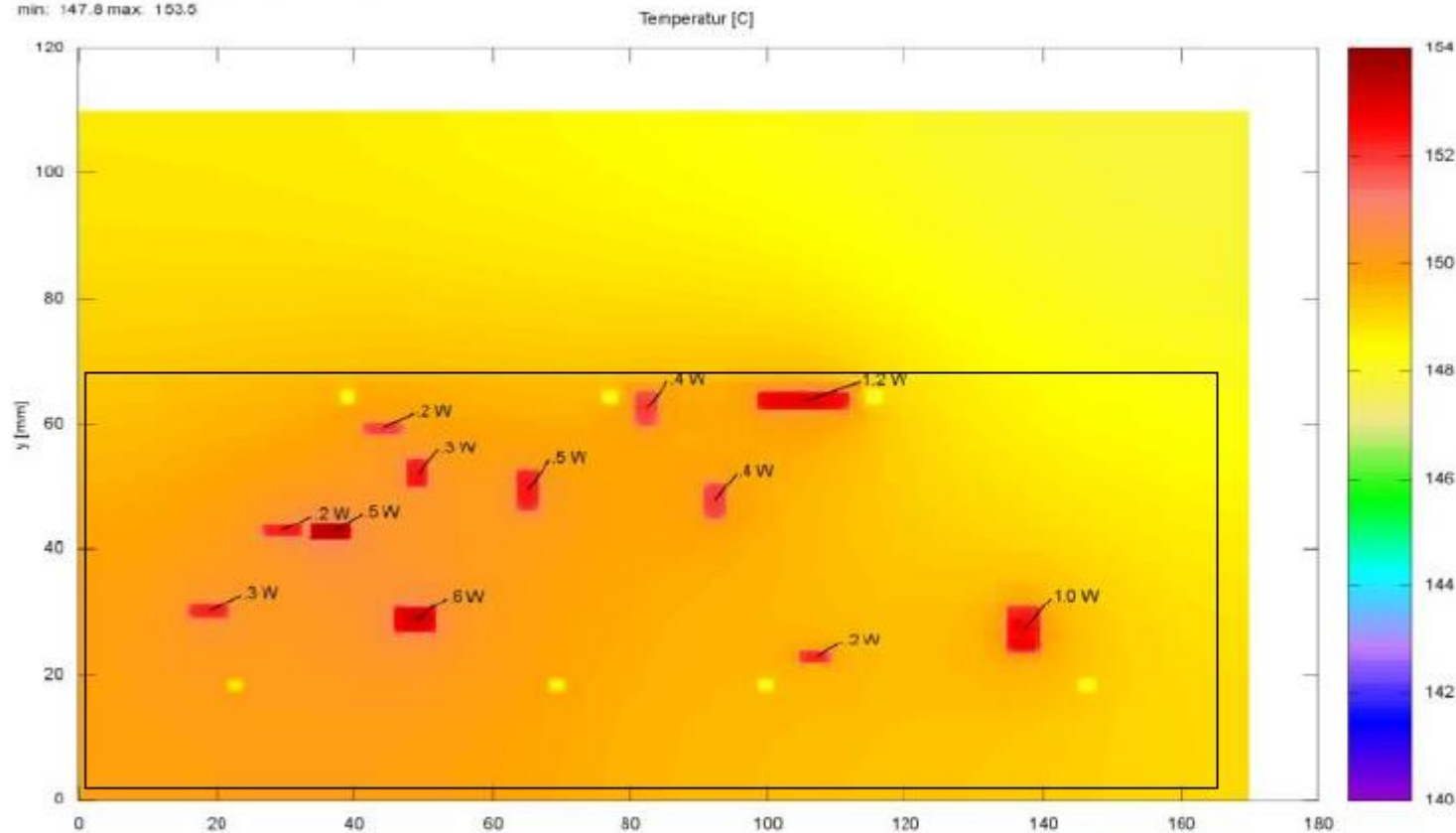
Simulation Entwärmung von Polymerwiderständen

TRM17/16 05.09.2014 09:18

temp11: 'Lage 6' 20. mu 329.0 W/mK 0.027 Ohm mm2/m

KopieTCNG.trm | TCNG 08082014 | TCNG Widerstände

min: 147.9 max: 153.5



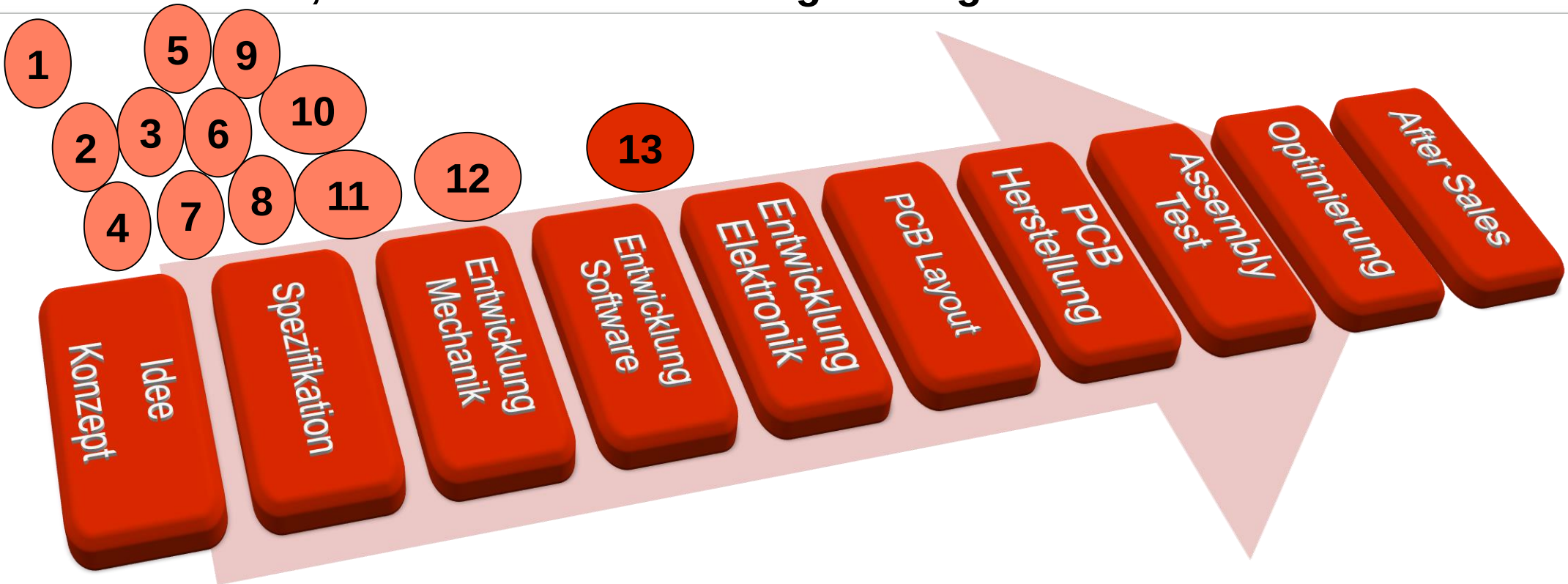
**Umgebungs-
temperatur:
140°C**

**Max.
Temperatur
am
Widerstand:
153.5 °C**

**Leistungen
gemäß
Kunden-
Spezifikation**

Thermische Simulation - Würth Elektronik CBT Produktmanagement

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

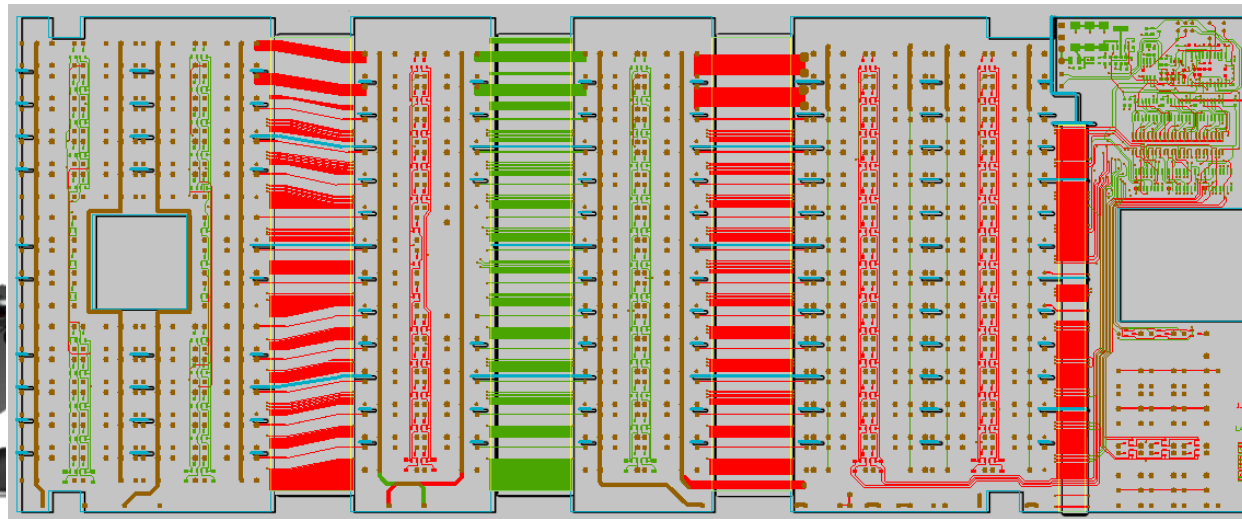


Systemkosten

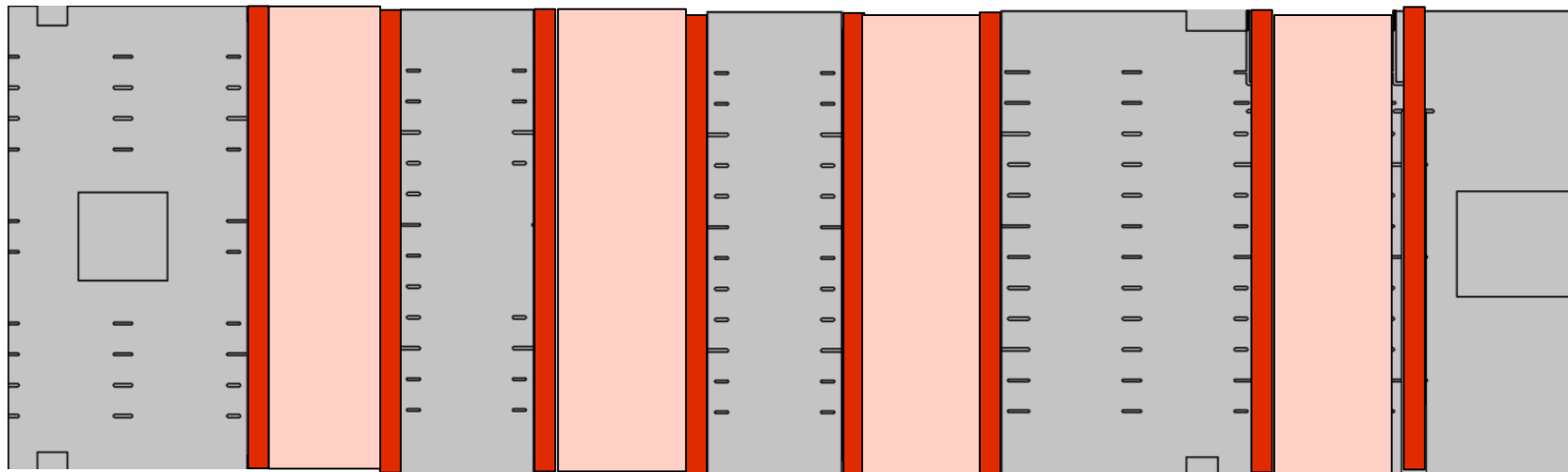
13

Richtpreisangebote, Systemabschätzungen, Shop WEdirekt

Systemkostenvergleich modular - integriert

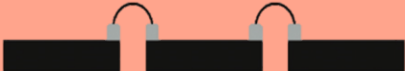
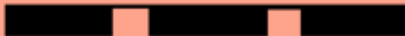


✱

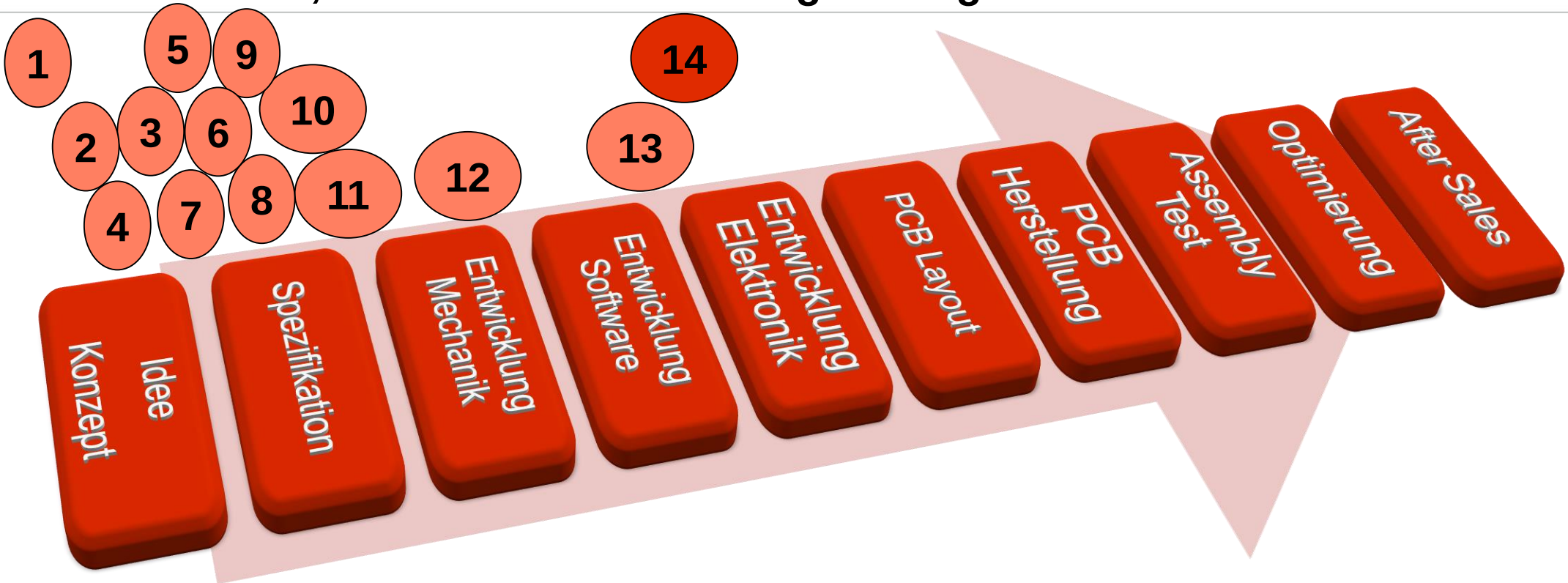


Systemkostenvergleich modular - integriert



	Starre Leiterplatten mit Kabel und Stecker		Semiflexible Leiterplatte		
Bilanz					
	100 Stück	1.000 Stück	100 Stück	1.000 Stück	Bemerkungen
a) Leiterplatten-Stückpreis	58,50 €	40,50 €	55,90 €	45,50 €	Leiterplatten aus Europa
b) FFC Kabel, ZIF Stecker	30,00 €	13,00 €	-	-	EMS Schweden
c) dafür SMD Bestückung, AOI	2,00 €	1,50 €	-	-	EMS Schweden
d) Endmontage	2,00 €	1,50 €	-	-	EMS Schweden
e) Endtest	1,50 €	1,00 €	1,50 €	1,00 €	EMS Schweden
Summe BoM und Prozesse	94,00 €	57,50 €	57,40 €	46,50 €	
			-39%	-19%	Einsparung
zusätzliche Kostenfaktoren:					
f) Design-Entwicklung für	5 LP's		1 LP		1
g) Materialdisposition	17 Teile + 5 Schablonen		1Teil + 2 Schablonen		
h) Bestückung/Montageaufwand	5 x		1 x		
i) Testaufwand	6 x		1 x		
k) Lager/Logistikaufwand für	22 Positionen		3 Positionen		
l) Löt- und Steck-Verbindungen	312 ZIF-Kontakte + 312 Lötstellen		integrierte Semiflex Verbindungen		Zuverlässigkeit

24 Punkte, die für Ihre Entwicklung wichtig sein könnten



Stromlaufplan, Auswahl der Bauteile

14

Auswirkung auf Leiterplattentechnologie!

dichteste Komponente bestimmt Leiterplattentechnologie

Auszüge aus unserem HDI Designguide:

BGA 0,50 mm Pitch

Für 0,50 mm BGA Pitch müssen auf jeden Fall **Feinstleiterstrukturen** verwendet werden, wir empfehlen 75 μm (3 mil). Zusätzlich ist es erforderlich, die Microviapadgröße, zumindest auf den Innenlagen, auf 275 μm zu reduzieren. Für 75 μm Feinstleiterstrukturen muss die Kupferendschichtdicke auf der Oberfläche auf ca. 25 μm begrenzt werden.

Würth Elektronik empfiehlt die oben dargestellte **Variante 1**, bei der keine Leiterbahnen auf der Außenlage zwischen den BGA Pads hindurchgeführt werden. Damit können auf der Außenlage Feinstleiterstrukturen vermieden werden.

Variante 2 hat den Vorteil einer planaren Lötfläche (geringeres Risiko von Voiding) bei allerdings reduzierter Lötpadgröße.

Bei **Variante 3** muss auch auf den Außenlagen mit 75 μm Strukturen gearbeitet werden, was den Fertigungsaufwand erhöht. Zusätzlich muss hier die Lötstoppsmaskenfreistellung auf 35 μm reduziert werden. Diese Variante kann allerdings möglicherweise helfen eine Microvia-Lage einzusparen. Grundsätzlich hängt die Anzahl der erforderlichen Microvia-Lagen, und damit der Lagenaufbau, von der Komplexität des Bauteils ab.

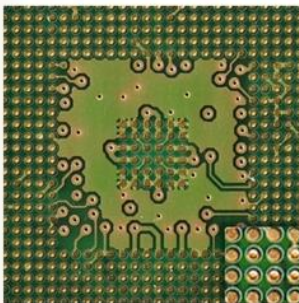
BGA 0.50 mm Pitch

Fine line structures will definitely be required for a 0.50 mm pitch BGA, we recommend 75 μm (3 mil). It will also be necessary to decrease the microvia pad size, at least on the inner layers, to 275 μm . For 75 μm fine line structures the final copper thickness on the surface is limited to approximately 25 μm .

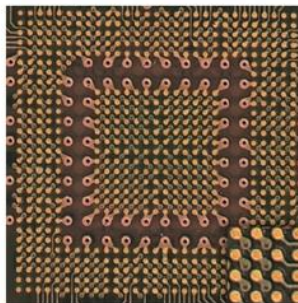
*Würth Elektronik recommends **variant 1** described above, without tracks between the solder pads on the outer layer. This avoids the need to use fine line structures on the outer layers.*

***Variant 2** gives the advantage of a planar surface (lower risk of voiding), but with a reduced solder pad size.*

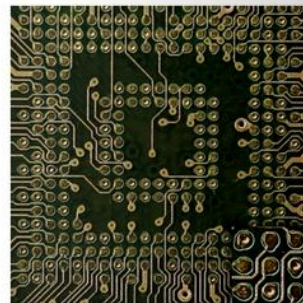
*With **variant 3**, 75 μm structures are needed on the outer layer as well. This increases the production effort and the production costs. Moreover, the solder mask clearance has to be reduced to 35 μm . This variant could probably help to save one microvia layer. Generally the number of the microvia layers required, and the kind of stack-up, depends on the complexity of the component.*



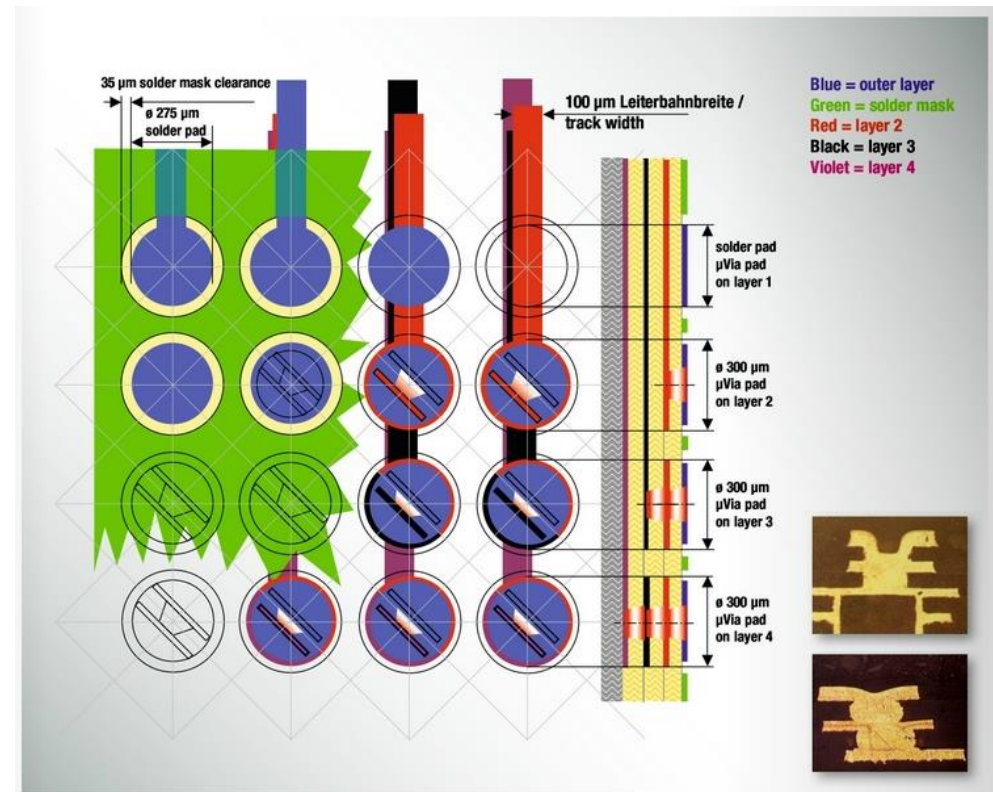
Var. 1: Via in Pad



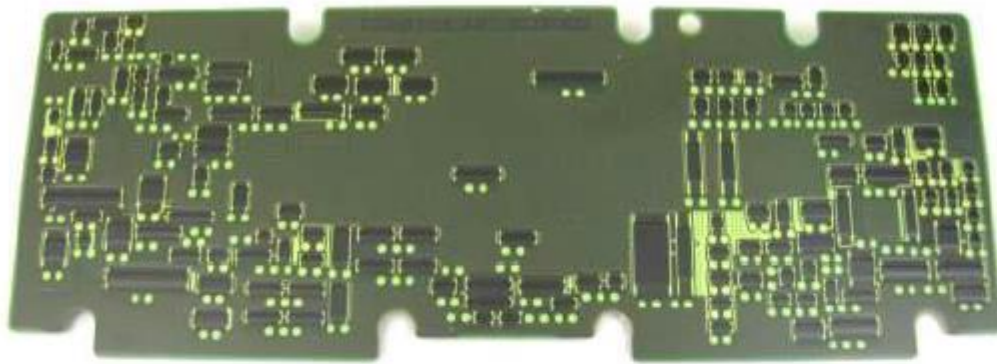
Var. 2: Dogbone



Var. 3: Via in Pad



Option: gedruckte Komponenten



**Toleranz Widerstandswert ohne
Laserabgleich max. $\pm 30\%$**

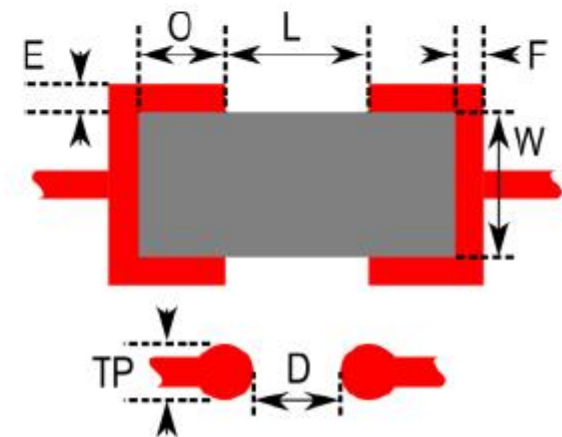
Mit Laserabgleich (Trimming)
nach der Bearbeitung: bis $\pm 1\%$

Über ganze Lebensdauer: $\pm 5\%$

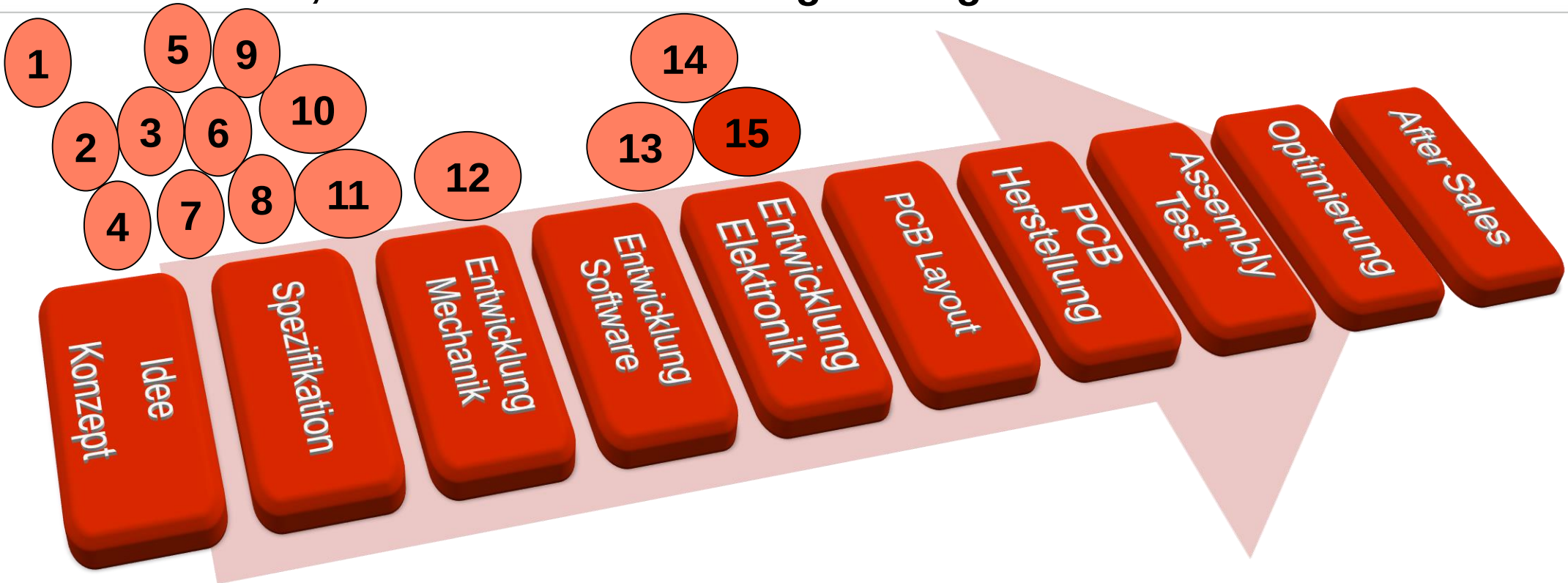


Traceability:

Der Laserabgleich ermöglicht durch binäre Kodierung von zusätzlich eidesignen Widerständen eine perfekte Rückverfolgbarkeit.



24 Punkte, die für Ihre Entwicklung wichtig sein könnten

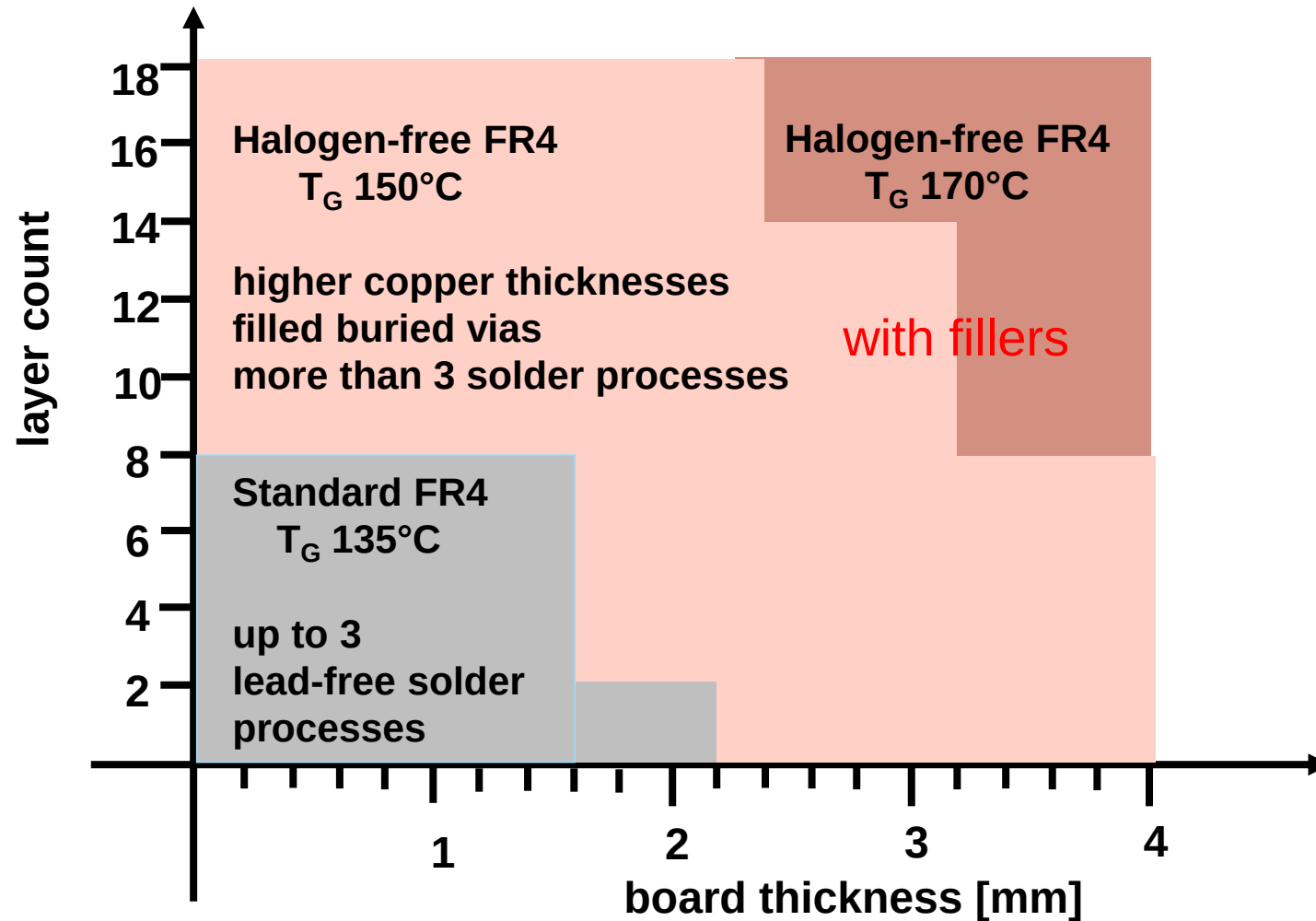


Materialauswahl Leiterplatte

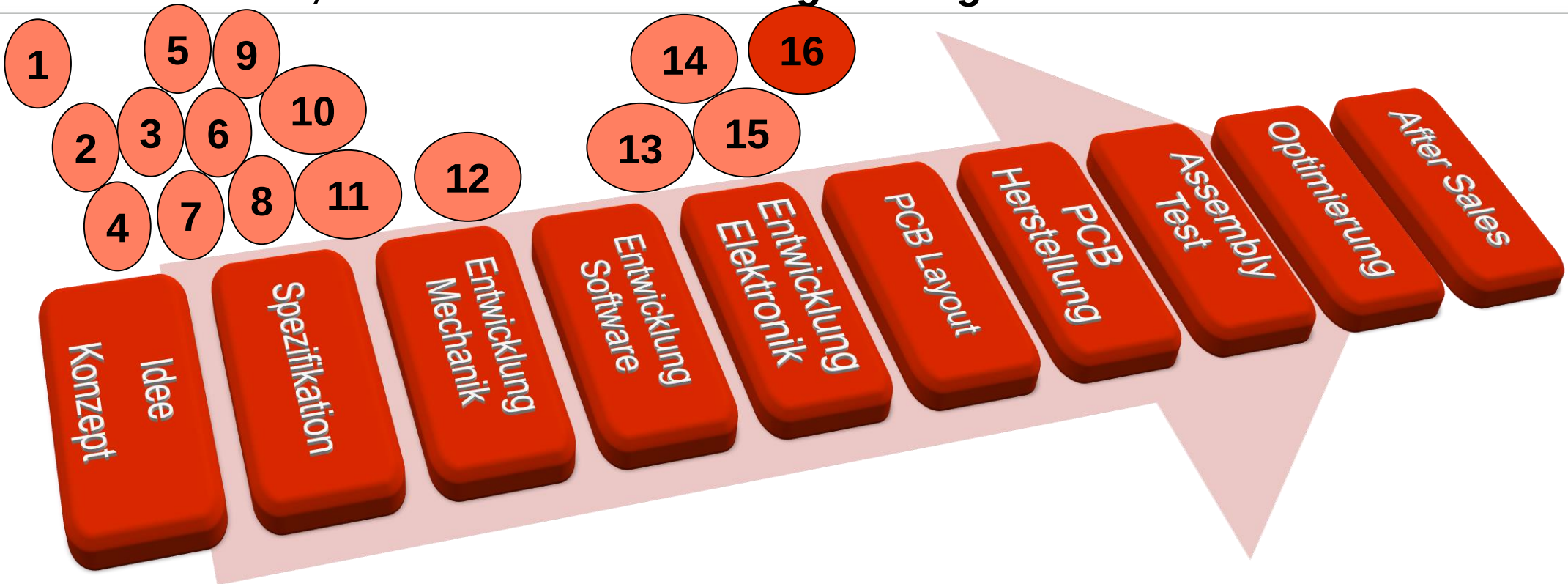
15

Anforderungen aus dem Gesamtsystem

Empfehlungen zur Materialauswahl FR4



24 Punkte, die für Ihre Entwicklung wichtig sein könnten

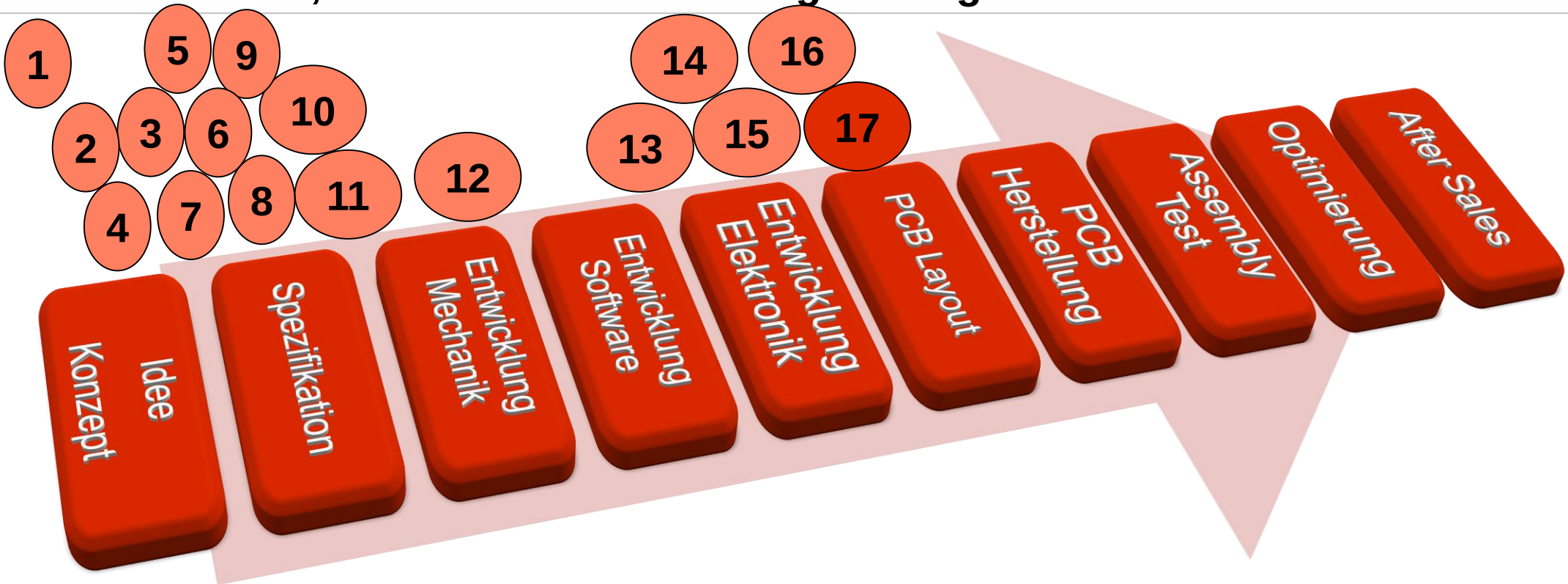


Prüf- und Teststrategie

16

Absicherung der LP-Technologie in Qualifikation und Serienproduktion

24 Punkte, die für Ihre Entwicklung wichtig sein könnten



Traceability

17

Inhalte und Platzbedarf

Was muss und soll in die Kennzeichnung?

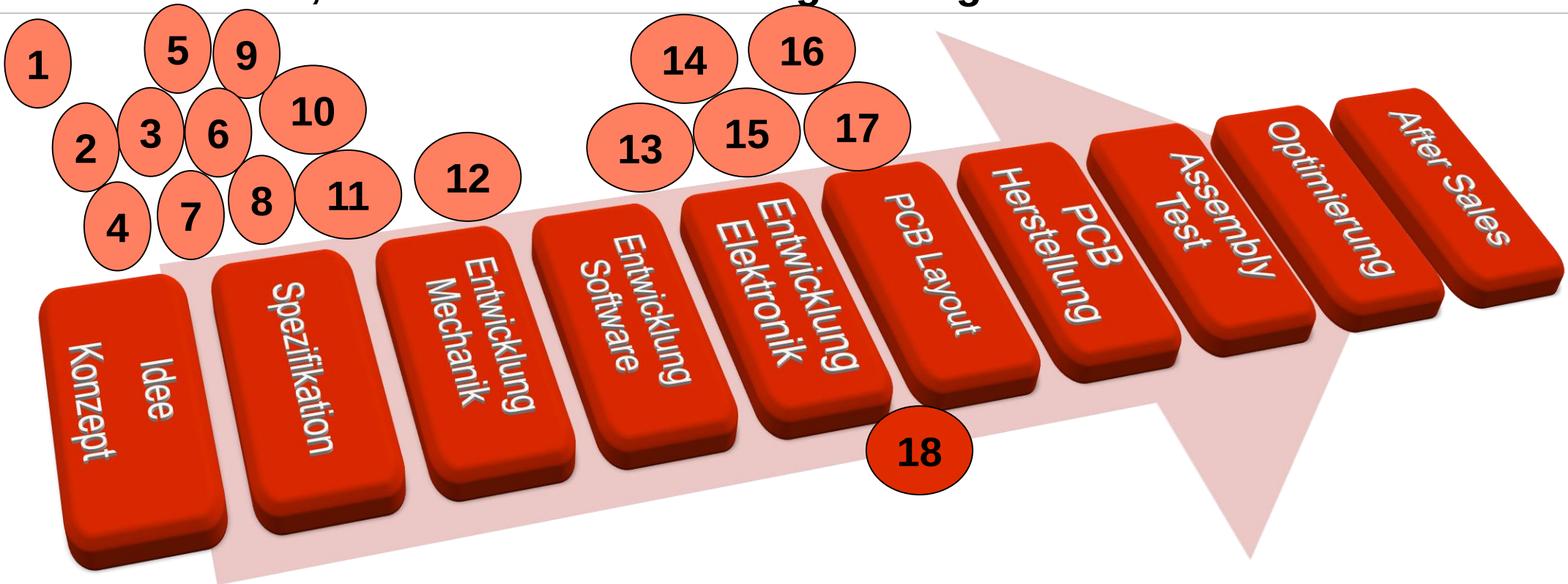
- **Muss:** Hersteller, Datecode
- **Soll:** Losnummer
- **UL-Kennzeichnung**
 - **Muss:** Herstellerkennung oder E-Nummer
 - **Muss:** UL-Type laut Listung
 - **Kann:** Werkskennzeichnung
 - **Kann:** UR-Zeichen
 - **Kann:** Klassifizierung Brennbarkeit



Marking: Company name or tradename "WE" or file number and type designation. May be followed by a suffix to denote factory identification or burning test classification.



24 Punkte, die für Ihre Entwicklung wichtig sein könnten



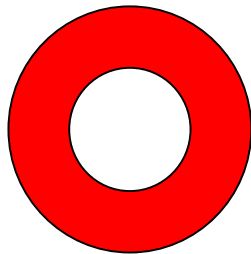
Leiterplatten Layout

18

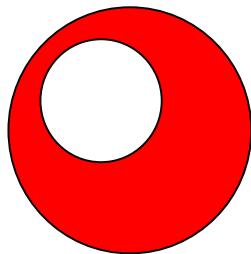
DfM, Designregeln, Restringe

Wozu sind Restringe da?

Layout / Screen:



Real life



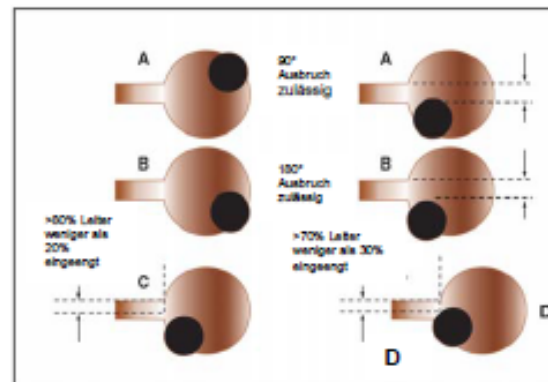
IPC-A-600H:

2.10 Definition der Leiterbilder - Abmessungen

2.10.3 Äußerer Restring – metallisierte Löcher

2.10 Definition der Leiterbilder - Abmessungen

2.10.4 Äußerer Restring – metallisierte Löcher (Fortsetzung)



Zulässig – Klasse 2

- Ausbruch von maximal 90° (A).
- Wenn der Ausbruch an der Verbindungsstelle der Leiterbahn zur Anschlussstelle auftritt, darf die Leiterbahn um maximal 20% der Mindestleiterbreite reduziert sein, die in der technischen Zeichnung oder dem Nennwert des Fertigungsmasters festgelegt ist. Die Verbindung der Leiterbahn sollte nicht weniger als 0,05 mm [0,0020 in] oder die Mindestleiterbreite sein (der kleinere Wert gilt.). (C)
- Minimaler Seitenabstand zwischen den Leitern ist eingehalten.

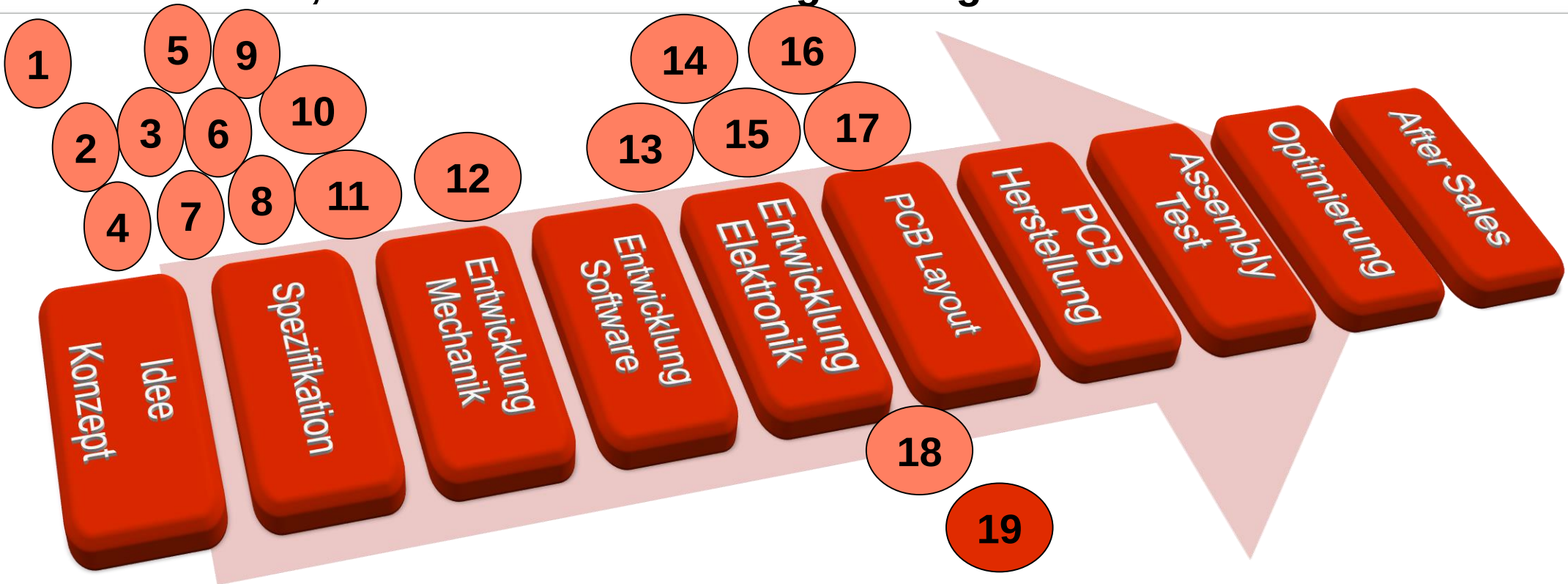
Zulässig – Klasse 1

- Ausbruch von maximal 180° (B).
- Wenn der Ausbruch an der Verbindungsstelle der Leiterbahn zur Anschlussstelle auftritt, darf die Leiterbahn um maximal 30% der Mindestleiterbreite reduziert sein, die in dem Fertigungsmaster festgelegt ist (D).
- Form, Sitz und Funktion sind nicht beeinträchtigt.
- Minimaler Seitenabstand zwischen den Leitern ist eingehalten.

Fehler – Klasse 1, 2, 3

- Abweichungen, die gegen obige Kriterien verstoßen.

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

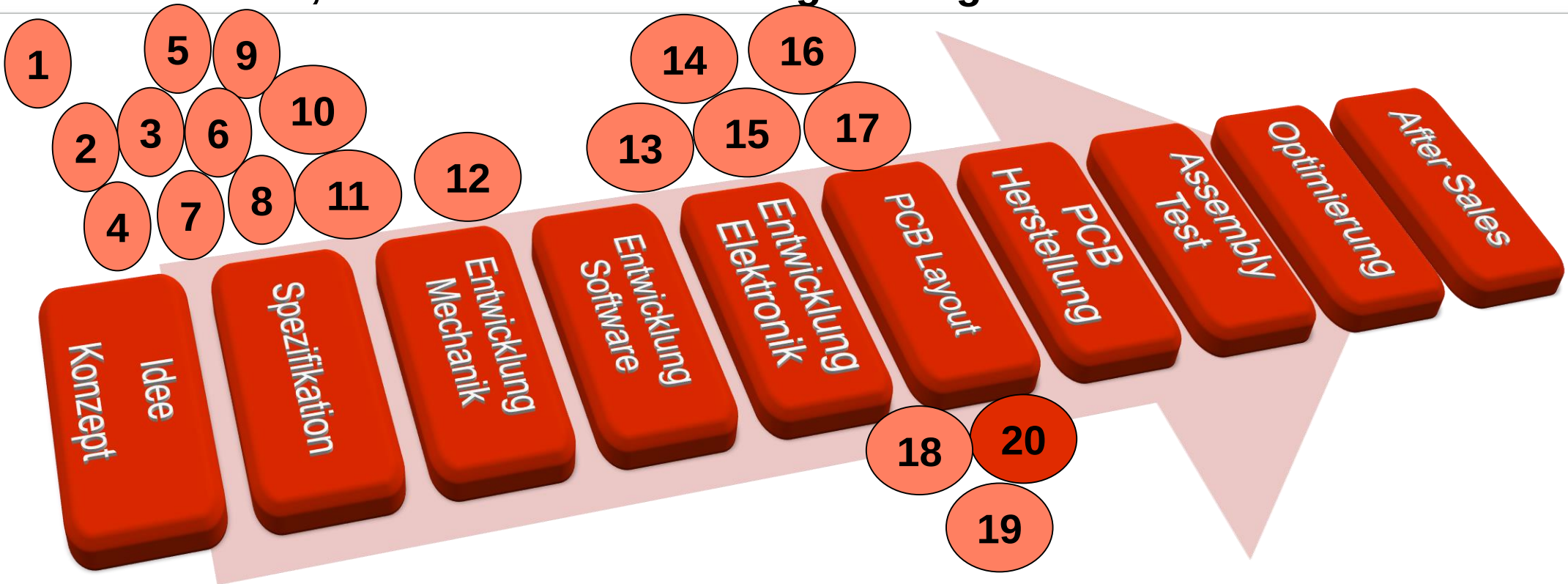


Datenausgabe und Design Bestücknutzen

19

Empfehlung: Format 3.4 metrisch

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

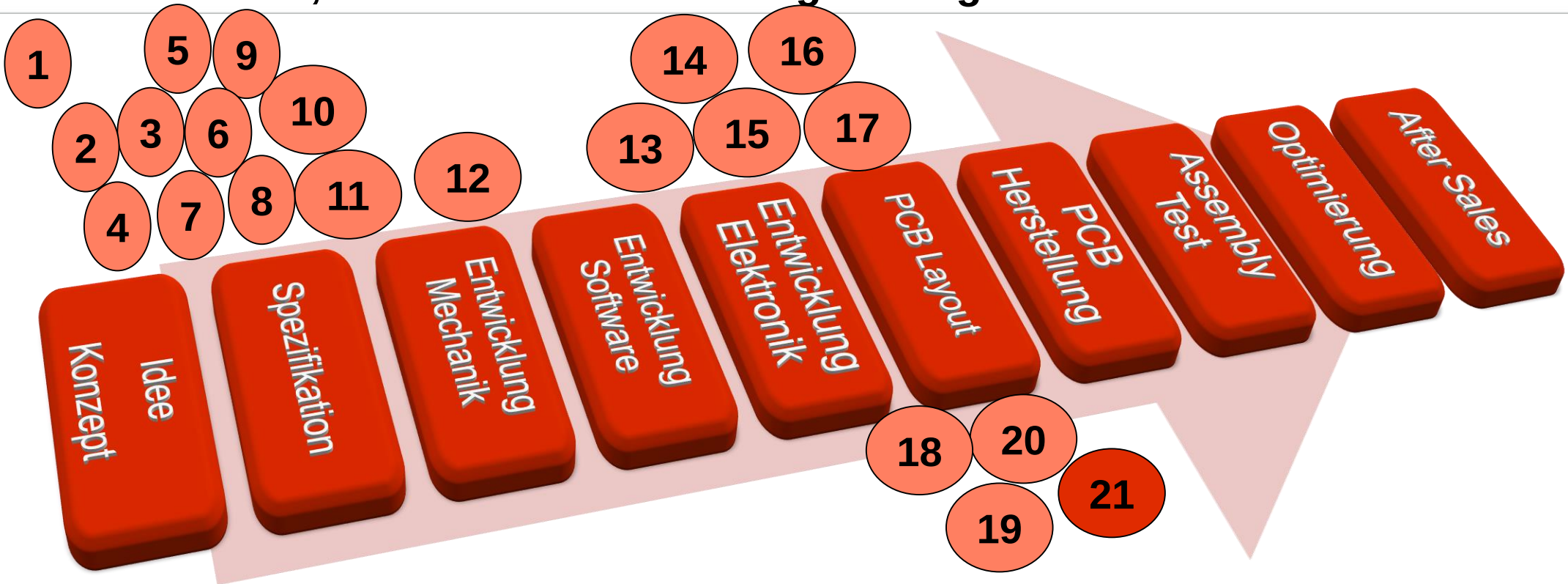


Bestellunterlagen für die Leiterplatte

20

Gerberdaten, Lagenaufbau, Zeichnungen Spezifikationen, Zusatzleistungen

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

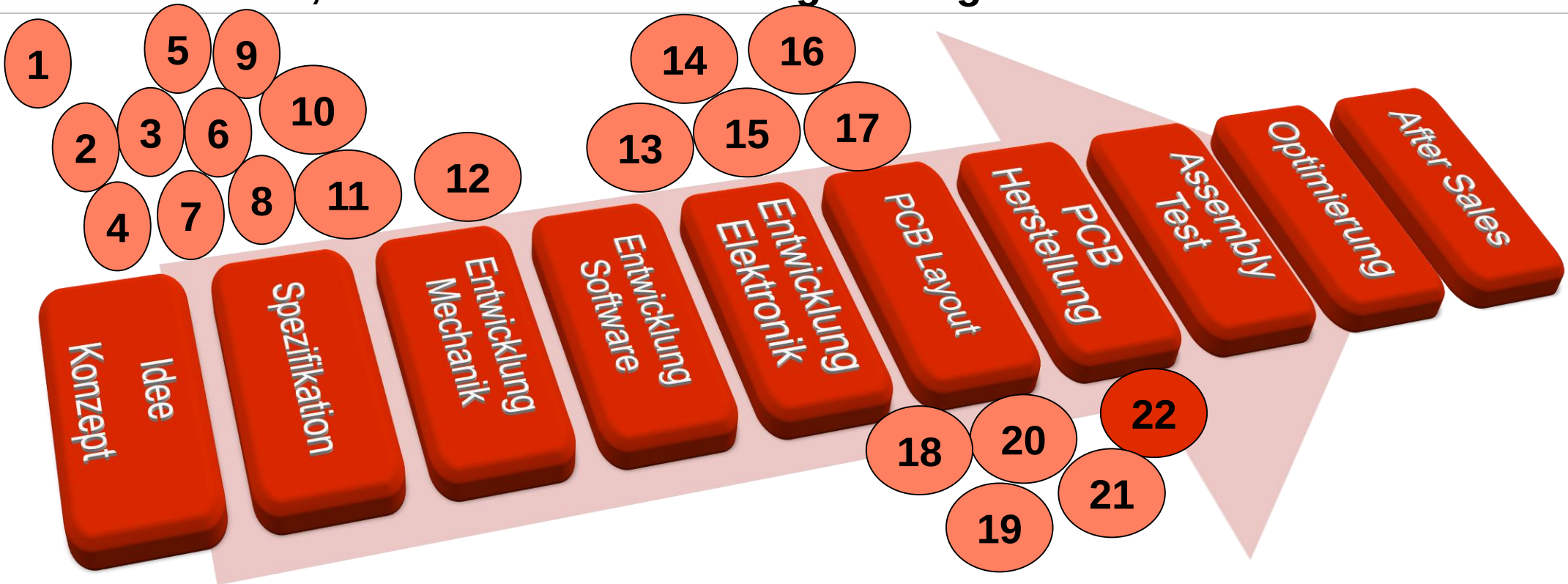


Produktion Leiterplatte

21

Eildienste, Logistiklösungen Würth Elektronik , Shop WEdirekt

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

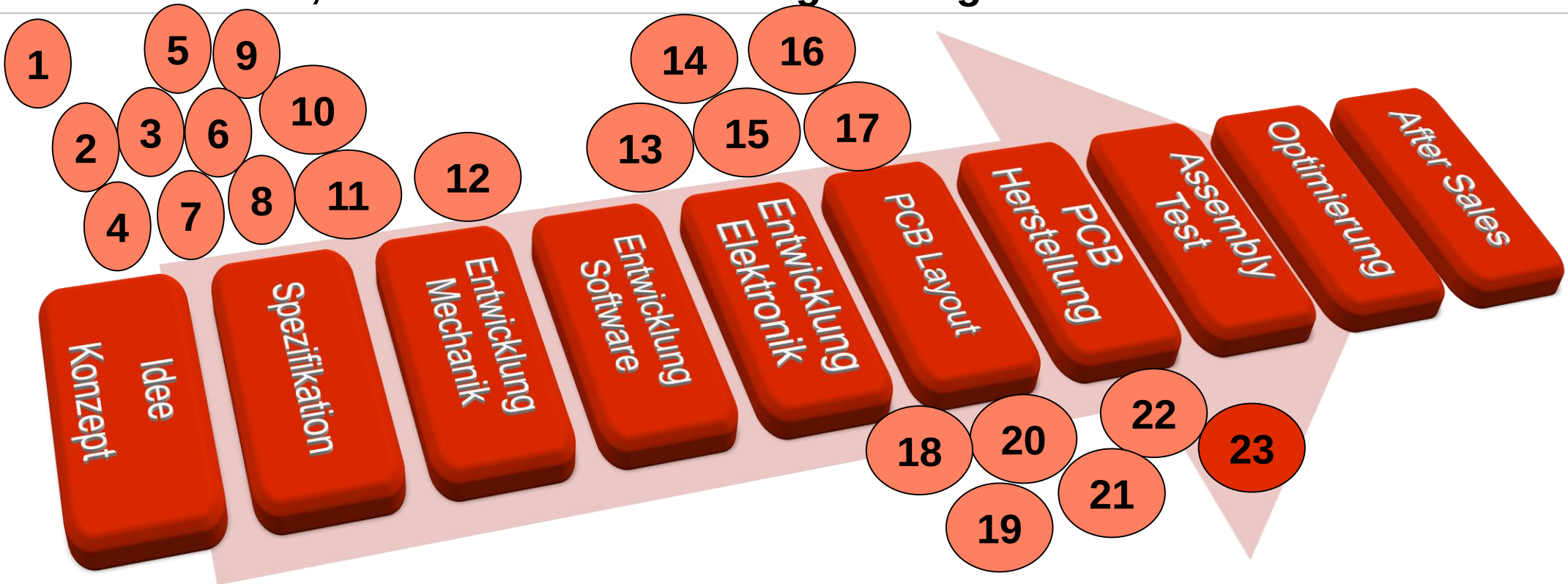


Lieferdokumente

22

von Lieferschein bis PPAP

24 Punkte, die für Ihre Entwicklung wichtig sein könnten

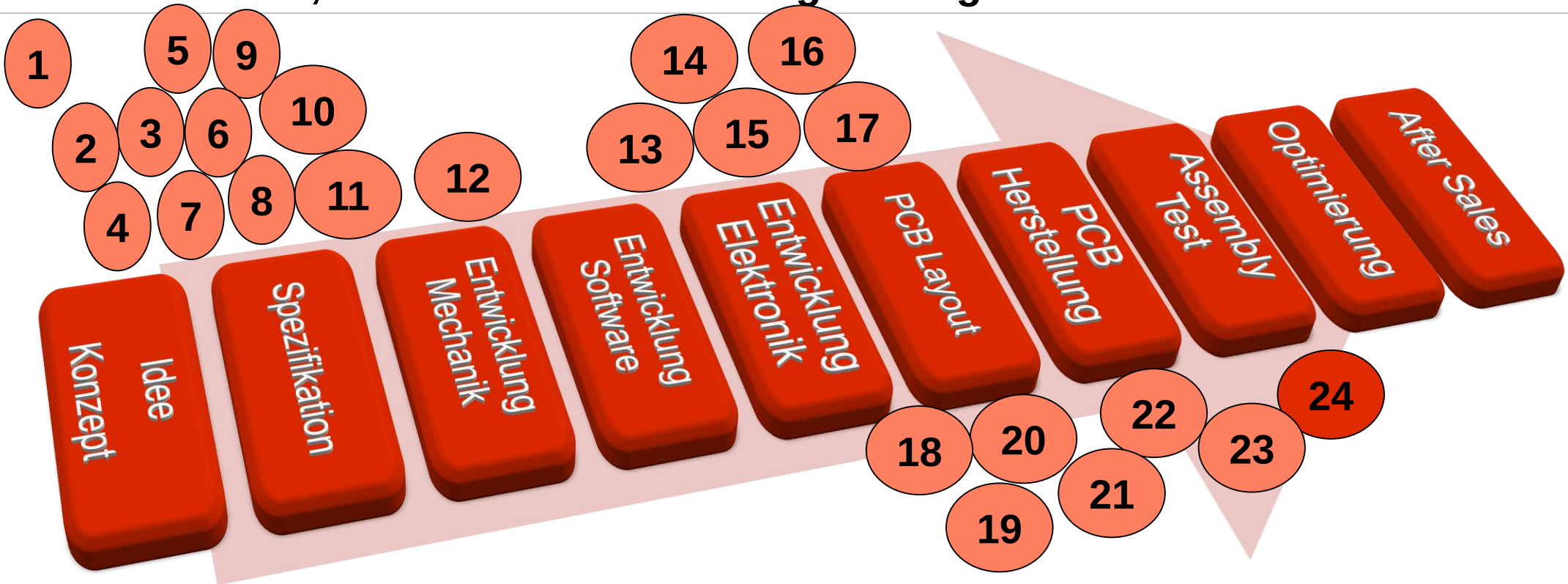


Weiterverarbeitung Leiterplatte

23

Download „Trocknungsempfehlungen“

24 Punkte, die für Ihre Entwicklung wichtig sein könnten



Trennen Bestücknutzen

24

Welche Möglichkeiten hat Ihre Produktion? Seitenschneider?

Nutzentrennung - Beispiele

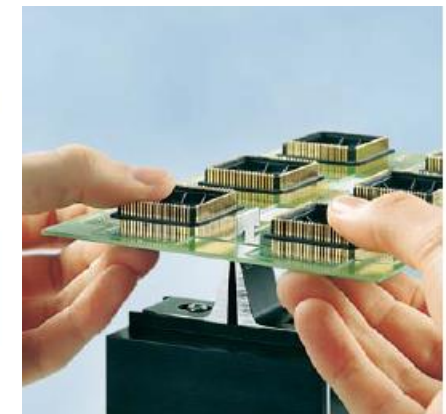
Zur Liefernoteentrennung sind folgende Prozesse bekannt:

1. Stegtrenner (z.B. sog. Hektor) zum Trennen einzelner Stege
2. Trennmesser für kerbgefräste Nutzen (Rollmesser oder feststehende Messer)
3. Laser bis ca. 0,8mm LP-Dicke
4. Fräsen (sehr teure Baugruppen!)
5. Stanzen und Sägen (für große Stückzahlen)
6. Brechen mit Sollbruchstellen

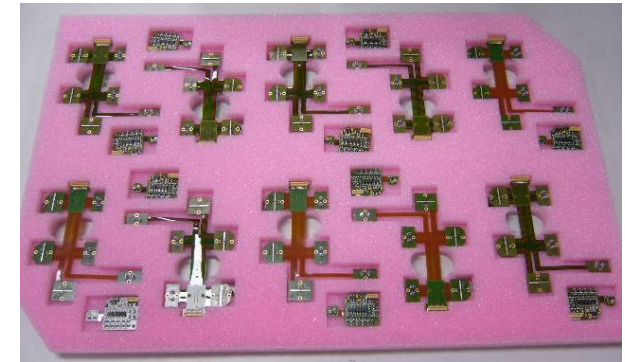
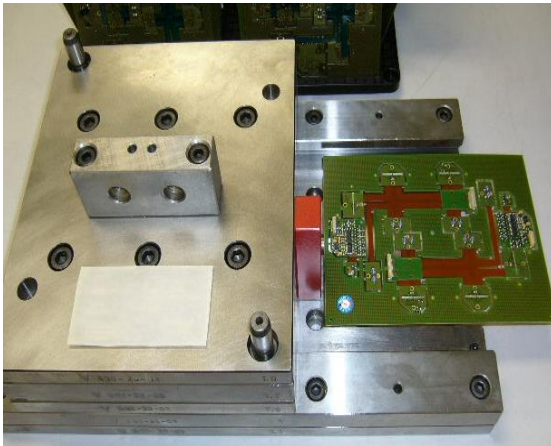
Ritznutzen / *V-cut panels*



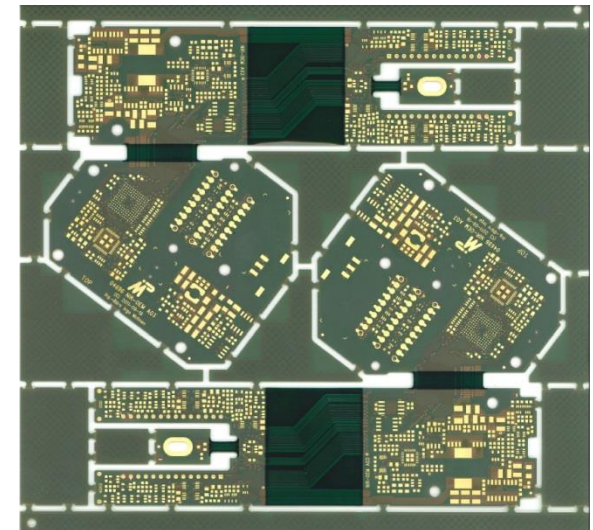
Entfernung von Stegen / *tab removal*



Nutzentrennung durch Stanzen - Transport



Quelle: Fa. acd



Zusammenfassung

die Entwicklung eines elektronischen Systems kann

- sehr komplex sein
- erfordert die unterschiedlichsten Disziplinen
- Netzwerken und Kommunizieren ist elementar
- WE unterstützt Sie gerne im Rahmen eines Projekts
- Sie sind schon in der Optimierungsphase?

Wir helfen gerne!

- ***Kontaktieren Sie uns so früh wie möglich!***



Danke für Ihre Aufmerksamkeit!

Das Webinar wurde Ihnen präsentiert von

